

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-354055

(43)Date of publication of application : 19.12.2000

(51)Int.Cl. H04L 12/40
G05F 1/10
H03K 19/0175
// H04L 25/02

(21)Application number : 2000-051100 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 28.02.2000 (72)Inventor : YAMAUCHI HIROYUKI

(30)Priority

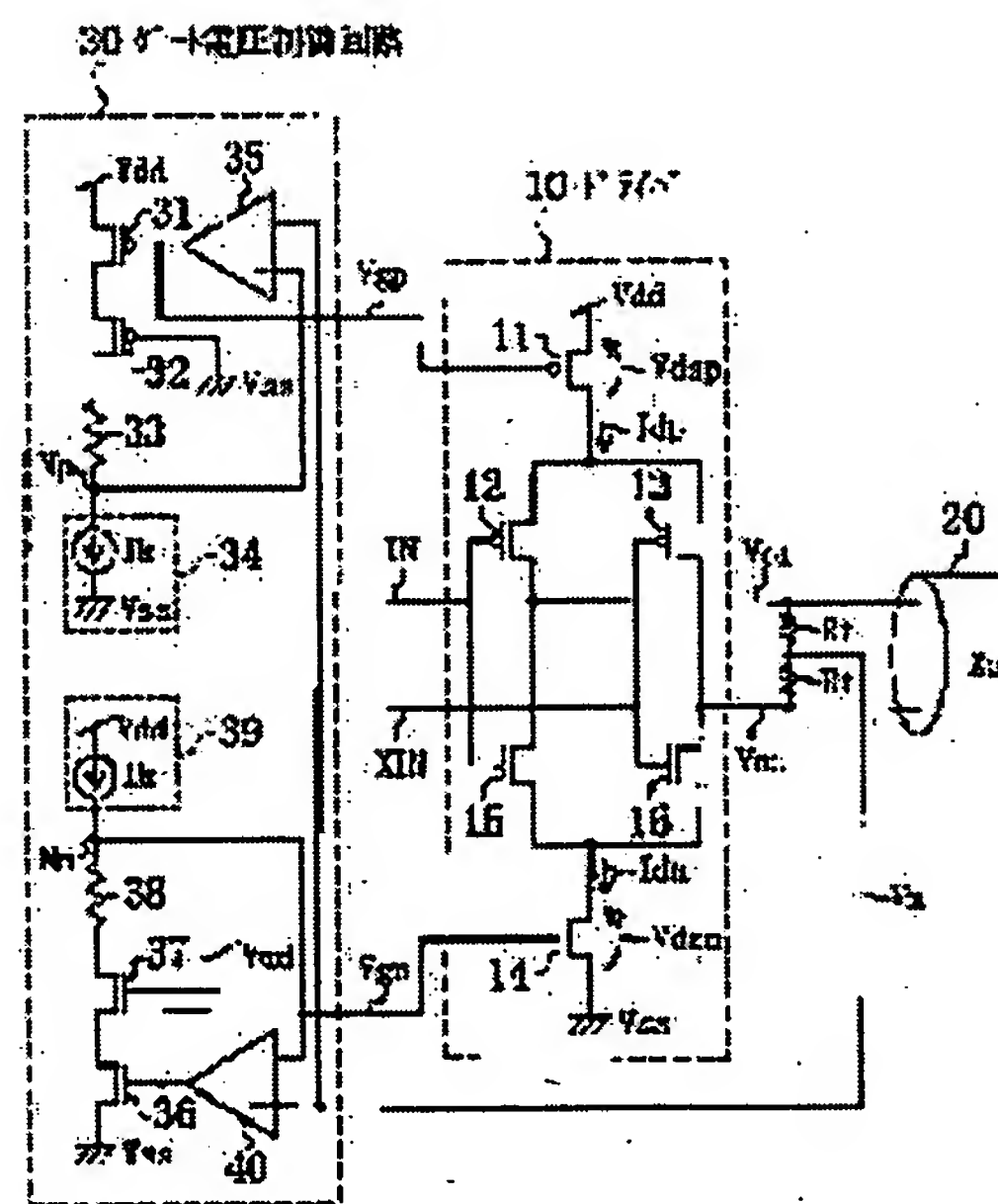
Priority number : 11098521 Priority date : 06.04.1999 Priority country : JP

(54) CONSTANT-CURRENT OUTPUTTING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To enable a constant-current outputting circuit to maintain a fixed current drive ability, regardless of fluctuations in the bias voltage of a cable.

SOLUTION: A driver 10 constituted in a CMOS is connected to a twisted pair cable 20, having two signal lines respectively coupled with a bias voltage V_m via terminating resistance, R_t , so that the driver 10 make data transmission, when the direction of a constant current made to flow to the cable 20 is changed. A gate voltage control circuit 30 fixes drain currents I_{dp} and I_{dn} of a PMOS driving transistor 11 and an NMOS driving transistor 14 in the driver 10 by controlling the gate voltages V_{gp} and V_{gn} of the transistors 11 and 14, by utilizing a detected bias voltage V_m and voltage drops at replica resistors 33 and 38 constituting the replicas of the terminators R_t .



LEGAL STATUS

[Date of request for examination] 28.02.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3420735

[Date of registration] 18.04.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-354055
(P2000-354055A)

(43) 公開日 平成12年12月19日 (2000. 12. 19)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
H 0 4 L 12/40		H 0 4 L 11/00	3 2 0
G 0 5 F 1/10		C 0 5 F 1/10	R
H 0 3 K 19/0175		H 0 4 L 25/02	W
// H 0 4 L 25/02		H 0 3 K 19/00	1 0 1 F

審査請求 有 請求項の数21 O L (全 14 頁)

(21) 出願番号 特願2000-51100(P2000-51100)
(22) 出願日 平成12年2月28日 (2000. 2. 28)
(31) 優先権主張番号 特願平11-98521
(32) 優先日 平成11年4月6日 (1999. 4. 6)
(33) 優先権主張国 日本 (J P)

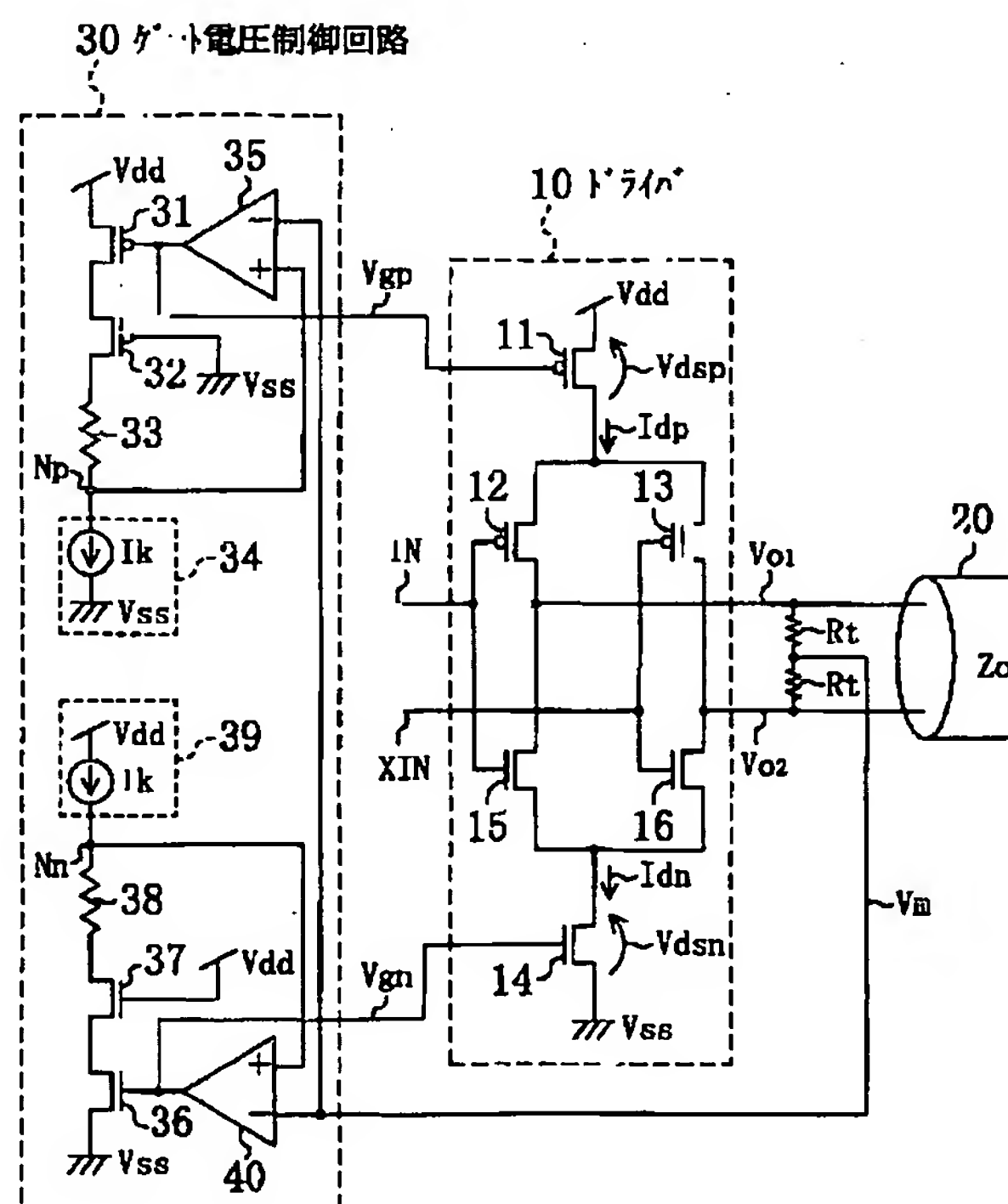
(71) 出願人 000003821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72) 発明者 山内 寛行
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(74) 代理人 10007/931
弁理士 前田 弘 (外1名)

(54) 【発明の名称】 定電流出力回路

(57) 【要約】

【課題】 ケーブルのバイアス電圧の変動にかかわらず一定の電流駆動能力を維持することができる定電流出力回路を提供する。

【解決手段】 各々終端抵抗 R_t を介してバイアス電圧 V_m に結合された2本の信号線を有するツイストペアケーブル20に流す定電流の向きを変えることでデータ伝送を行うように、CMOS構成のドライバ10をケーブル20に接続する。ゲート電圧制御回路30は、検知したバイアス電圧 V_m と、各々終端抵抗 R_t のレプリカを構成するレプリカ抵抗33、38における電圧ドロップとを利用して、ドライバ10の中のPMOS駆動トランジスタ11及びNMOS駆動トランジスタ14の各々のゲート電圧 V_{gp} 及び V_{gn} を制御することにより、その各々のドレイン電流 I_{dp} 及び I_{dn} を一定値に保つ。



【特許請求の範囲】

【請求項1】 終端抵抗を介してバイアス電圧に結合されたケーブルに定電流を出力するための定電流出力回路であって、

ゲート電極と、電源に結合されたソース電極と、前記ケーブルに結合されたドレイン電極とを有する駆動トランジスタと、

前記バイアス電圧の変動に起因して前記ドレイン電極と前記ソース電極との間の電圧が変化するとき、該電圧の変化に伴う前記駆動トランジスタのドレイン電流の変化が補償されて、前記駆動トランジスタのドレイン電流が前記定電流に実質的に一致するように、前記駆動トランジスタの電流駆動能力を調整するための調整手段とを備えたことを特徴とする定電流出力回路。

【請求項2】 請求項1記載の定電流出力回路において、

前記調整手段は、前記バイアス電圧の変動の検知結果に基づいて前記駆動トランジスタの電流駆動能力を調整する機能を有することを特徴とする定電流出力回路。

【請求項3】 請求項1記載の定電流出力回路において、

前記調整手段は、前記バイアス電圧の変動予測を示すシステム情報に基づいて前記駆動トランジスタの電流駆動能力を調整する機能を有することを特徴とする定電流出力回路。

【請求項4】 請求項1記載の定電流出力回路において、

前記調整手段は、前記駆動トランジスタの前記ゲート電極の電圧を制御するためのゲート電圧制御回路を備えたことを特徴とする定電流出力回路。

【請求項5】 請求項4記載の定電流出力回路において、

前記ゲート電圧制御回路は、
前記バイアス電圧を検知するための手段と、
前記電源と参照ノードとの間に介在した、前記駆動トランジスタのレプリカを構成するレプリカトランジスタと、前記終端抵抗のレプリカを構成するレプリカ抵抗との直列回路と、
前記直列回路に一定の電流を流すための電流源と、
前記参照ノードの電圧と前記検知されたバイアス電圧とを比較し、該比較の結果に基づいて前記レプリカトランジスタのゲート電圧を制御し、かつ該制御されたゲート電圧を前記駆動トランジスタの前記ゲート電極へ供給するための手段とを備えたことを特徴とする定電流出力回路。

【請求項6】 請求項5記載の定電流出力回路において、

前記定電流出力回路は、前記電源と前記ケーブルとの間において前記駆動トランジスタに直列に接続されたスイッチングトランジスタを更に備え、

前記ゲート電圧制御回路は、前記電源と前記参照ノードとの間において前記レプリカトランジスタ及び前記レプリカ抵抗に直列に接続された、前記スイッチングトランジスタのレプリカを構成する他のレプリカトランジスタを更に備えたことを特徴とする定電流出力回路。

【請求項7】 請求項4記載の定電流出力回路において、

前記ゲート電圧制御回路は、
前記バイアス電圧を検知するための手段と、
前記電源と参照ノードとの間に介在した、前記駆動トランジスタのレプリカを構成するレプリカトランジスタと、

前記レプリカトランジスタに一定の電流を流すための電流源と、

前記検知されたバイアス電圧から、該バイアス電圧との差が前記終端抵抗における電圧ドロップを表す可変電圧を生成するための可変電圧生成回路と、

前記参照ノードの電圧と前記生成された可変電圧とを比較し、該比較の結果に基づいて前記レプリカトランジスタのゲート電圧を制御し、かつ該制御されたゲート電圧を前記駆動トランジスタの前記ゲート電極へ供給するための手段とを備えたことを特徴とする定電流出力回路。

【請求項8】 請求項7記載の定電流出力回路において、

前記定電流出力回路は、前記電源と前記ケーブルとの間において前記駆動トランジスタに直列に接続されたスイッチングトランジスタを更に備え、

前記ゲート電圧制御回路は、前記電源と前記参照ノードとの間において前記レプリカトランジスタに直列に接続された、前記スイッチングトランジスタのレプリカを構成する他のレプリカトランジスタを更に備えたことを特徴とする定電流出力回路。

【請求項9】 請求項7記載の定電流出力回路において、

前記可変電圧生成回路は、
前記終端抵抗のレプリカを構成するレプリカ抵抗と、
前記レプリカ抵抗に一定の電流を流したときの前記レプリカ抵抗における電圧ドロップを前記検知されたバイアス電圧に加算し、又は前記検知されたバイアス電圧から前記レプリカ抵抗における電圧ドロップを減算するための手段とを備えたことを特徴とする定電流出力回路。

【請求項10】 終端抵抗を介してバイアス電圧に結合されたケーブルに定電流を出力するための定電流出力回路であって、

各々ゲート電極と、共通の電源に結合されたソース電極と、前記ケーブルに共通結合されたドレイン電極とを有する複数の駆動トランジスタを備えたドライバと、

前記バイアス電圧の変動に起因して前記複数の駆動トランジスタの前記共通のドレイン電極と前記共通のソース電極との間の電圧が変化するとき、該電圧の変化に伴う

前記ドライバの出力電流の変化が補償されて、前記ドライバの出力電流が前記定電流に実質的に一致するように、前記ドライバの電流駆動能力を調整するための調整手段とを備えたことを特徴とする定電流出力回路。

【請求項11】 請求項10記載の定電流出力回路において、

前記調整手段は、前記バイアス電圧の変動の検知結果に基づいて前記ドライバの電流駆動能力を調整する機能を有することを特徴とする定電流出力回路。

【請求項12】 請求項10記載の定電流出力回路において、

前記調整手段は、前記バイアス電圧の変動予測を示すシステム情報に基づいて前記ドライバの電流駆動能力を調整する機能を有することを特徴とする定電流出力回路。

【請求項13】 請求項10記載の定電流出力回路において、

前記調整手段は、前記複数の駆動トランジスタのうちの活性化されるトランジスタの数を制御するための活性化トランジスタ数制御回路を備えたことを特徴とする定電流出力回路。

【請求項14】 請求項13記載の定電流出力回路において、

前記活性化トランジスタ数制御回路は、
前記バイアス電圧を検知するための手段と、
前記複数の駆動トランジスタのうちの活性化されるべきトランジスタの数を、前記検知されたバイアス電圧に応じて決定するための手段とを備えたことを特徴とする定電流出力回路。

【請求項15】 請求項13記載の定電流出力回路において、

前記活性化トランジスタ数制御回路は、前記複数の駆動トランジスタのうちの活性化されるべきトランジスタの数を、前記バイアス電圧の変動予測を示すシステム情報に基づいて決定するための手段を備えたことを特徴とする定電流出力回路。

【請求項16】 請求項13記載の定電流出力回路において、

前記活性化トランジスタ数制御回路は、前記複数の駆動トランジスタのうちの活性化されるべきトランジスタの各々のゲート電極へ活性化論理信号を供給するための論理手段を備えたことを特徴とする定電流出力回路。

【請求項17】 請求項10記載の定電流出力回路において、

前記調整手段は、前記複数の駆動トランジスタのうちの特定のトランジスタのゲート電極の電圧を無段階に制御するためのゲート電圧制御回路を備えたことを特徴とする定電流出力回路。

【請求項18】 請求項17記載の定電流出力回路において、

前記ゲート電圧制御回路は、

前記バイアス電圧を検知するための手段と、

前記特定のトランジスタの前記ゲート電極へ供給すべき電圧を、前記検知されたバイアス電圧に応じて決定するための手段とを備えたことを特徴とする定電流出力回路。

【請求項19】 請求項17記載の定電流出力回路において、

前記ゲート電圧制御回路は、前記特定のトランジスタの前記ゲート電極へ供給すべき電圧を、前記バイアス電圧の変動予測を示すシステム情報に基づいて決定するための手段を備えたことを特徴とする定電流出力回路。

【請求項20】 終端抵抗を介してバイアス電圧に結合されたケーブルと、

前記ケーブルに定電流を出力するための定電流出力回路とを備えたデータ伝送システムであって、

前記定電流出力回路は、

ゲート電極と、電源に結合されたソース電極と、前記ケーブルに結合されたドレイン電極とを有する駆動トランジスタと、

前記バイアス電圧の変動に起因して前記ドレイン電極と前記ソース電極との間の電圧が変化したとき、該電圧の変化に伴う前記駆動トランジスタのドレイン電流の変化が補償されて、前記駆動トランジスタのドレイン電流が前記定電流に実質的に一致するように、前記駆動トランジスタの電流駆動能力を調整するための調整手段とを備えたことを特徴とするデータ伝送システム。

【請求項21】 請求項20記載のデータ伝送システムにおいて、

前記ケーブルは、ツイストペアケーブルであることを特徴とするデータ伝送システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ケーブルに定電流を出力するための定電流出力回路に関するものである。

【0002】

【従来の技術】IEEE1394規格は、ツイストペアケーブルを用いた差動データ伝送を規定している。

【0003】米国特許第5,418,478号には、ツイストペアケーブルを駆動するためのCMOS差動回路が開示されている。この回路は、ケーブルの第1の信号線に結合されたドレイン電極を有する第1のPMOS駆動トランジスタと、同ケーブルの第2の信号線に結合されたドレイン電極を有する第2のPMOS駆動トランジスタと、第1の信号線に結合されたドレイン電極を有する第1のNMOS駆動トランジスタと、第2の信号線に結合されたドレイン電極を有する第2のNMOS駆動トランジスタとを備えたものである。第1のPMOS駆動トランジスタが第1の信号線に電流を流し込むとき、終端抵抗及び第2の信号線を介して戻ってきた電流を第2のNMOS駆動トランジスタが吸い込む。第2のPMO

S駆動トランジスタが第2の信号線に電流を流し込むとき、終端抵抗及び第1の信号線を介して戻ってきた電流を第1のNMOS駆動トランジスタが吸い込む。つまり、第1及び第2のPMOS駆動トランジスタはそれぞれケーブルに正の定電流を出力するための定電流出力回路を構成し、第1及び第2のNMOS駆動トランジスタはそれぞれケーブルに負の定電流を出力するための定電流出力回路を構成している。

【0004】

【発明が解決しようとする課題】上記従来の定電流出力回路は、4個の駆動トランジスタがそれぞれ飽和領域で動作することを前提として、その各々のゲート・ソース間電圧が一定値に維持されるように構成されていた。したがって、ケーブルの先に接続される相手方機器の電位等に起因した重大な問題があった。

【0005】さて、ケーブルの2本の信号線は、各々終端抵抗 R_t を介して、あるバイアス電圧 V_m に結合されることになっている。ここで、定電流出力回路の電源を V_{dd} 及び V_{ss} とする。電源 V_{dd} は、前記第1及び第2のPMOS駆動トランジスタの各々のソース電極に一定の電源電圧（例えば+2.5Vの正の電圧）を与える。電源 V_{ss} は、前記第1及び第2のNMOS駆動トランジスタの各々のソース電極に一定の電源電圧（例えば0Vの接地電圧）を与える。このとき、電源 V_{dd} から見たケーブルのバイアス電圧 V_m は、ケーブルの先に接続される相手方機器の電位に応じて変動する。電源 V_{ss} から見たバイアス電圧 V_m もまた、相手方機器の電位に応じて変動する。例えば、相手方機器の接地電圧が当該定電流出力回路の電源 V_{ss} の電圧よりも高い場合には、当該定電流出力回路の電源 V_{dd} から見たバイアス電圧 V_m が小さくなる。このバイアス電圧 V_m の変動に起因して前記第1及び第2のPMOS駆動トランジスタの各々のドレイン・ソース間電圧が小さくなり過ぎると、これらのトランジスタの各々のゲート・ソース間電圧が一定値に維持される限り、その各々の動作点が飽和領域から線形領域へと移動して、もはや定電流出力が維持されなくなる。これとは逆に、相手方機器の接地電圧が当該定電流出力回路の電源 V_{ss} の電圧よりも低い場合には、当該電源 V_{ss} から見たバイアス電圧 V_m が小さくなる。このバイアス電圧 V_m の変動に起因して前記第1及び第2のNMOS駆動トランジスタの各々のドレイン・ソース間電圧が小さくなり過ぎると、これらのトランジスタの各々のゲート・ソース間電圧が一定値に維持される限り、その各々の動作点が飽和領域から線形領域へと移動して、もはや定電流出力が維持されなくなる。更に、データ伝送レート設定情報や電力管理情報の伝達のためにケーブルのバイアス電圧 V_m が意図的に変更されることもあり、この場合にも同様の問題が生じ得る。

【0006】本発明の目的は、ケーブルのバイアス電圧の変動にかかわらず一定の電流駆動能力を維持すること

ができる定電流出力回路を提供することにある。

【0007】

【課題を解決するための手段】上記目的を達成するため、本発明は、終端抵抗を介してバイアス電圧に結合されたケーブルに定電流を出力するための定電流出力回路において、ケーブルに電流を出力するための駆動トランジスタを設け、ケーブルのバイアス電圧の変動に起因して駆動トランジスタのドレイン・ソース間電圧が変化したとき、該電圧の変化に伴う駆動トランジスタのドレイン電流の変化が補償されて、該駆動トランジスタのドレイン電流が前記定電流に実質的に一致するように、当該駆動トランジスタの電流駆動能力を調整することとしたものである。この電流駆動能力は、駆動トランジスタのゲート電圧、基板電圧等の制御により調整される。この調整は、前記バイアス電圧の変動の検知結果に基づいて、あるいは該バイアス電圧の変動予測を示すシステム情報に基づいてなされる。

【0008】上記本発明の定電流出力回路における駆動トランジスタは、互いに並列接続された複数の駆動トランジスタで構成されたドライバに置き換えることができる。このドライバの電流駆動能力は、活性化されるトランジスタの数をデジタル制御することにより、あるいは特定トランジスタのゲート電圧をアナログ制御することにより調整される。

【0009】

【発明の実施の形態】図1は、本発明に係る定電流出力回路の構成例を示している。図1中のドライバ10とゲート電圧制御回路30とが、特性インピーダンス Z_0 を有するツイストペアケーブル（以下、単に「ケーブル」という。）20に定電流を出力するための定電流出力回路を構成している。ケーブル20の2本の信号線は、各々終端抵抗 R_t を介してバイアス電圧 V_m に結合されている。例えば、 $Z_0=110\Omega$ 、 $R_t=55\Omega$ である。ここで、バイアス電圧 V_m の値は、ケーブル20の先に接続される相手方機器により決定される。

【0010】ケーブル20に電流を出力するためのドライバ10は、PMOS駆動トランジスタ11と、第1及び第2のPMOSスイッチングトランジスタ12、13と、NMOS駆動トランジスタ14と、第1及び第2のNMOSスイッチングトランジスタ15、16とで構成されている。PMOS駆動トランジスタ11は、ゲート電圧 V_{gp} を受け取るゲート電極と、電源 V_{dd} から一定の電源電圧（例えば+2.5Vの正の電圧）を受け取るソース電極と、ケーブル20にドレイン電流 I_{dp} （例えば4mA）を流し込むように第1のPMOSスイッチングトランジスタ12を介してケーブル20の第1の信号線に、第2のPMOSスイッチングトランジスタ13を介してケーブル20の第2の信号線にそれぞれ結合されたドレイン電極とを有するトランジスタである。NMOS駆動トランジスタ14は、ゲート電圧 V_{gn} を受け取るゲ

ート電極と、電源 V_{ss} から一定の電源電圧（例えば0Vの接地電圧）を受け取るソース電極と、ケーブル20からドレイン電流 I_{dn} （例えば4mA）を吸い込むように第1のNMOSスイッチングトランジスタ15を介してケーブル20の第1の信号線に、第2のNMOSスイッチングトランジスタ16を介してケーブル20の第2の信号線にそれぞれ結合されたドレイン電極とを有するトランジスタである。データ信号 I_N が第1のPMOSスイッチングトランジスタ12及び第1のNMOSスイッチングトランジスタ15の各々のゲート電極に、相補データ信号 XIN が第2のPMOSスイッチングトランジスタ13及び第2のNMOSスイッチングトランジスタ16の各々のゲート電極にそれぞれ与えられる。したがって、 $I_N=L$ かつ $XIN=H$ の場合には、電源 V_{dd} からPMOS駆動トランジスタ11及び第1のPMOSスイッチングトランジスタ12を介してケーブル20へ電流が流し込まれ、かつケーブル20から第2のNMOSスイッチングトランジスタ16及びNMOS駆動トランジスタ14を介して電源 V_{ss} へ電流が吸い込まれる。ドライバ10の出力ノードの電圧を V_{o1} 及び V_{o2} とすると、この場合には $V_{o1} > V_{o2}$ である。また、 $I_N=H$ かつ $XIN=L$ の場合には、電源 V_{dd} からPMOS駆動トランジスタ11及び第2のPMOSスイッチングトランジスタ13を介してケーブル20へ電流が流し込まれ、かつケーブル20から第1のNMOSスイッチングトランジスタ15及びNMOS駆動トランジスタ14を介して電源 V_{ss} へ電流が吸い込まれる。この場合には $V_{o1} < V_{o2}$ である。

【0011】さて、ケーブル20の先にどのような機器が接続されるかは不定である。つまり、ドライバ10から見たケーブル20のバイアス電圧 V_m は、相手方機器の接地電圧次第で変動する。また、相手方機器がバイアス電圧 V_m を意図的に変更する場合もある。したがって、PMOS駆動トランジスタ11のドレイン・ソース間電圧 V_{dsp} 及びNMOS駆動トランジスタ14のドレイン・ソース間電圧 V_{dsn} も変動する。このようにして V_{dsp} 及び V_{dsn} が変動しても I_{dp} 及び I_{dn} を変化させないために、ゲート電圧制御回路30が設けられている。図1のゲート電圧制御回路30は、バイアス電圧 V_m の変動に起因したドライバ10の出力電流の変化が補償されるように、ゲート電圧 V_{gp} 及び V_{gn} を制御することによりドライバ10の電流駆動能力を調整するものである。詳細に説明すると、ゲート電圧制御回路30は、電源 V_{dd} と参照ノード N_p との間に介在した、PMOS駆動トランジスタ11のレプリカを構成する第1のPMOSレプリカトランジスタ31と、第1及び第2のPMOSスイッチングトランジスタ12、13のレプリカを構成する第2のPMOSレプリカトランジスタ32と、終端抵抗 R_t のレプリカを構成するレプリカ抵抗33との直列回路と、この直列回路から電源 V_{ss} へ一定の電流 I

k を吸い込むための定電流源34と、ケーブル20のバイアス電圧 V_m を検知して、参照ノード N_p の電圧がバイアス電圧 V_m と一致するように第1のPMOSレプリカトランジスタ31のゲート電圧を制御し、かつ該制御されたゲート電圧 V_{gp} をPMOS駆動トランジスタ11のゲート電極へ供給するための演算増幅器35とを備えている。更に、ゲート電圧制御回路30は、電源 V_{ss} と参照ノード N_n との間に介在した、NMOS駆動トランジスタ14のレプリカを構成する第1のNMOSレプリカトランジスタ36と、第1及び第2のNMOSスイッチングトランジスタ14、15のレプリカを構成する第2のNMOSレプリカトランジスタ37と、終端抵抗 R_t のレプリカを構成するレプリカ抵抗38との直列回路と、この直列回路へ電源 V_{dd} から一定の電流 I_k を流し込むための定電流源39と、ケーブル20のバイアス電圧 V_m を検知して、参照ノード N_n の電圧がバイアス電圧 V_m と一致するように第1のNMOSレプリカトランジスタ36のゲート電圧を制御し、かつ該制御されたゲート電圧 V_{gn} をNMOS駆動トランジスタ14のゲート電極へ供給するための演算増幅器40とを備えている。 $k \geq 1$ を満たす実数を k とするとき、電流 I_k の大きさはドライバ10の出力電流の $1/k$ 倍であり、各レプリカトランジスタ31、32、36、37は各本体トランジスタの $1/k$ 倍のゲート幅を有し、各レプリカ抵抗33、38は終端抵抗 R_t の k 倍の抵抗値を有する。

【0012】図2は、図1中の定電流源34、39の構成例を示している。図2において、50は定電圧生成回路、60は定電流生成回路、70はカレントミラー回路である。定電圧生成回路50は、BGR（バンドギャップリファレンス）回路51と、演算増幅器52と、2本の抵抗53、54とで構成される。BGR回路51は、例えば、H. Banba et al., "A CMOS Band-Gap Reference Circuit with Sub 1V Operation", 1998 Symposium on VLSI Circuits, Digest of Technical Papers, pp.228-229に記載されているように、温度変動、電源電圧変動等に依存しない一定電圧を生成できる回路である。定電流生成回路60は、演算増幅器61と、NMOSTランジスタ62と、終端抵抗 R_t のレプリカを構成するレプリカ抵抗63とで構成される。カレントミラー回路70は、5個のPMOSTランジスタ71、72、75、78、79と、4個のNMOSTランジスタ73、74、76、77とで構成される。

【0013】図3は、図1中のPMOS駆動トランジスタ11の動作点の移動の様子を示している。図1の構成によれば、 V_{dsp} が小さくなるにつれてPMOS駆動トランジスタ11のゲート電極に深いバイアス V_{gp} が与えられるので、動作点がP、Q、R、Sと移動する。この結果、ドレイン電流 I_{dp} は一定値を維持することができる。従来のように、例えば動作点Pにおけるゲート電圧 $V_{gp} (= -1.5V)$ が保持されるものと仮定すると、

V_{dsp} が0.5Vより小さくなったときには動作点が飽和領域から線形領域へ移動して、 I_{dp} が小さくなってしまふ。

【0014】図4は、図1中のNMOS駆動トランジスタ14の動作点の移動の様子を示している。図1の構成によれば、 V_{dsn} が小さくなるにつれてNMOS駆動トランジスタ14のゲート電極に高いバイアス V_{gn} が与えられるので、動作点がX、Y、Zと移動する結果、ドレイン電流 I_{dn} は一定値を維持することができる。

【0015】以上のとおり、図1の構成によれば、ケーブルに流す定電流の向きを変えることでデータ伝送を行うシステムの安定動作が可能になる。また、当該システムの電源線や接地線に流れる電流の変動に伴うノイズを回避することができる効果がある。

【0016】なお、図1中のPMOS駆動トランジスタ11を2つに分け、その各々を各スイッチングトランジスタ12、13に直列接続してなるドライバ構成を採用することもできる。NMOS駆動トランジスタ14についても同様である。この場合において、各ペアを構成する駆動トランジスタとスイッチングトランジスタとの位置を交換することも可能である。

【0017】図5は、図1中のゲート電圧制御回路30の変形例を示している。図5のゲート電圧制御回路30aでは、図1中のレプリカ抵抗33、38に代えて可変電圧生成回路80が設けられる。この可変電圧生成回路80は、ケーブルのバイアス電圧 V_m を検知して、このバイアス電圧 V_m から第1及び第2の可変電圧 V_j 、 V_w を生成するための回路である。ここに、電圧差 $V_j - V_m$ 及び $V_m - V_w$ は、終端抵抗 R_t における電圧ドロップ（例えば、 $2\text{mA} \times 55\Omega = 0.11\text{V}$ ）を表すものである。

【0018】図6は、図5中の可変電圧生成回路80の内部構成を示している。図6の可変電圧生成回路80は、終端抵抗 R_t のレプリカを構成する第1及び第2のレプリカ抵抗94、95を備えており、両レプリカ抵抗94、95に一定の電流を流し、第1のレプリカ抵抗94における電圧ドロップをバイアス電圧 V_m に加算することにより第1の可変電圧 V_j を、第2のレプリカ抵抗95における電圧ドロップをバイアス電圧 V_m から減算することにより第2の可変電圧 V_w をそれぞれ生成するものである。これらの加算及び減算は、演算増幅器93と両レプリカ抵抗94、95とで構成された加減算回路で実行される。図6中の他の構成要素は、両レプリカ抵抗94、95に一定の電流を流すための、図2と同様の定電流源を構成している。81はBGR回路、82、86は演算増幅器、83は抵抗、84、85、88、89は終端抵抗 R_t のレプリカを構成するレプリカ抵抗、87、90はPMOSTランジスタ、91、92はNMOSTランジスタである。

【0019】図7は、図6の変形例を示している。図7

の可変電圧生成回路80aは、終端抵抗 R_t のレプリカを構成する第1及び第2のレプリカ抵抗94、98を備えており、両レプリカ抵抗94、98にそれぞれ一定の電流を流し、第1のレプリカ抵抗94における電圧ドロップをバイアス電圧 V_m に加算することにより第1の可変電圧 V_j を、第2のレプリカ抵抗98における電圧ドロップをバイアス電圧 V_m から減算することにより第2の可変電圧 V_w をそれぞれ生成するものである。96はPMOSTランジスタ、97は演算増幅器である。

【0020】図8は、図6の他の変形例を示している。図8の可変電圧生成回路80bは、終端抵抗 R_t のレプリカを構成する第1及び第2のレプリカ抵抗103、104を備えており、両レプリカ抵抗103、104に一定の電流を流し、第1のレプリカ抵抗103における電圧ドロップをバイアス電圧 V_m に加算することにより第1の可変電圧 V_j を、第2のレプリカ抵抗104における電圧ドロップをバイアス電圧 V_m から減算することにより第2の可変電圧 V_w をそれぞれ生成するものである。99、100はPMOSTランジスタ、101、102はNMOSTランジスタである。

【0021】図9は、本発明に係る定電流出力回路の他の構成例を示している。図9中のドライバ10aと、活性化トランジスタ数制御回路25と、ゲート電圧制御回路30bとが、ケーブル20に定電流を出力するための定電流出力回路を構成している。ドライバ10aは、互いに並列接続された複数の駆動トランジスタを備えたドライバである。活性化トランジスタ数制御回路25は、ケーブル20のバイアス電圧 V_m に応じて、ドライバ10aの中の活性化される駆動トランジスタの数をデジタル制御するための回路である。ゲート電圧制御回路30bは、ドライバ10aの中の特定の駆動トランジスタのゲート電圧をアナログ制御するための回路である。

【0022】図10は、図9中のドライバ10aの内部構成を示している。ドライバ10aは、共通の電源 V_{dd} に結合されたソース電極と、互いに共通結合されたドレイン電極とを有する第1～第4のPMOS駆動トランジスタ11、11a、11b、11cと、共通の電源 V_{ss} に結合されたソース電極と、互いに共通結合されたドレイン電極とを有する第1～第4のNMOS駆動トランジスタ14、14a、14b、14cとを備えている。第1のPMOS駆動トランジスタ11のゲート電極は無段階に制御されたゲート電圧 V_{gp} を、第2～第4のPMOS駆動トランジスタ11a、11b、11cの各々のゲート電極は活性化論理信号 N_{ap} 、 N_{bp} 、 N_{cp} をそれぞれ受け取る。これら4個のPMOS駆動トランジスタ11、11a、11b、11cの共通のドレイン電極は、第1のPMOSスイッチングトランジスタ12を介してケーブル20の第1の信号線に、第2のPMOSスイッチングトランジスタ13を介してケーブル20の第2の信号線にそれぞれ結合されている。したがって、これら

4個のPMOS駆動トランジスタ11, 11a, 11b, 11cは、ケーブル20に電流 I_{dp} を流し込むためのPMOSドライバ17を構成している。第1のNMOS駆動トランジスタ14のゲート電極は無段階に制御されたゲート電圧 V_{gn} を、第2～第4のNMOS駆動トランジスタ14a, 14b, 14cの各々のゲート電極は活性化論理信号 N_{an} , N_{bn} , N_{cn} をそれぞれ受け取る。これら4個のNMOS駆動トランジスタ14, 14a, 14b, 14cの共通のドレイン電極は、第1のNMOSスイッチングトランジスタ15を介してケーブル20の第1の信号線に、第2のNMOSスイッチングトランジスタ16を介してケーブル20の第2の信号線にそれぞれ結合されている。したがって、これら4個のNMOS駆動トランジスタ14, 14a, 14b, 14cは、ケーブル20から電流 I_{dn} を吸い込むためのNMOSドライバ18を構成している。活性化論理信号 N_{ap} , N_{bp} , N_{cp} , N_{an} , N_{bn} 及び N_{cn} は活性化トランジスタ数制御回路25から、ゲート電圧 V_{gp} 及び V_{gn} はゲート電圧制御回路30bからそれぞれ与えられる。ここで、4個のPMOS駆動トランジスタ11, 11a, 11b, 11cの共通のドレイン電極と共通のソース電極との間の電圧を V_{dsp} とし、4個のNMOS駆動トランジスタ14, 14a, 14b, 14cの共通のドレイン電極と共通のソース電極との間の電圧を V_{dsn} とする。

【0023】図11は、図9中のゲート電圧制御回路30bの内部構成を示している。図11のゲート電圧制御回路30bは、図5のゲート電圧制御回路30aの構成から演算増幅器35, 40と、可変電圧制御回路80とを除去してなる回路である。PMOSレプリカトランジスタ31は互いに短絡されたドレイン電極とゲート電極とを有し、これらの電極の電圧 V_{gp} が第1のPMOS駆動トランジスタ11のゲート電極へ供給される。NMOSレプリカトランジスタ36は互いに短絡されたドレイン電極とゲート電極とを有し、これらの電極の電圧 V_{gn} が第1のNMOS駆動トランジスタ14のゲート電極へ供給される。

【0024】図12は、図9中の活性化トランジスタ数制御回路25の内部構成を示している。図12の活性化トランジスタ数制御回路25は、ケーブルのバイアス電圧 V_m を検知して、このバイアス電圧 V_m から第1及び第2の可変電圧 V_j , V_w を生成するための可変電圧生成回路80（図5～図8参照）と、第1～第6のコンパレータ111～116とを備えている。

【0025】まず、第1～第3のコンパレータ111～113のはたらきを説明する。第1のコンパレータ111は、第1の可変電圧 V_j が条件 $V_j > V_{dd} - \gamma_{ap}$ を満たすときにはLレベルの活性化論理信号 N_{ap} を、そうでないときにはHレベルの信号 N_{ap} を第2のPMOS駆動トランジスタ11aのゲート電極へ供給するものである。第2のコンパレータ112は、 V_j が条件 $V_j > V_{dd} - \gamma_{bp}$

を満たすときにはLレベルの活性化論理信号 N_{bp} を、そうでないときにはHレベルの信号 N_{bp} を第3のPMOS駆動トランジスタ11bのゲート電極へ供給するものである。第3のコンパレータ113は、 V_j が条件 $V_j > V_{dd} - \gamma_{cp}$ を満たすときにはLレベルの活性化論理信号 N_{cp} を、そうでないときにはHレベルの信号 N_{cp} を第4のPMOS駆動トランジスタ11cのゲート電極へ供給するものである。ここに、抵抗 R_1 , R_2 , R_3 に定電流を流すことにより生じる電圧ドロップを γ_{ap} , γ_{bp} , γ_{cp} とすると、これらの電圧ドロップを利用して電圧 $V_{dd} - \gamma_{ap}$, $V_{dd} - \gamma_{bp}$, $V_{dd} - \gamma_{cp}$ を生成することができる。第1及び第2のPMOSスイッチングトランジスタ12, 13のオン電圧を V_{swp} とし、ある設定電圧を V_{ap} , V_{bp} , V_{cp} （例えば $V_{ap} = 0.8V$, $V_{bp} = 0.4V$, $V_{cp} = 0.2V$ ）とすると、 $\gamma_{ap} = V_{swp} + V_{ap}$, $\gamma_{bp} = V_{swp} + V_{bp}$, $\gamma_{cp} = V_{swp} + V_{cp}$ が満たされるように、抵抗 R_1 , R_2 , R_3 の各々の値が設定される。図10中の電圧 V_{dsp} は $V_{dd} - V_{swp} - V_j$ に等しいから、 $V_{dsp} \geq V_{ap}$ ならば第2～第4のPMOS駆動トランジスタ11a, 11b, 11cのいずれもがオフし、 $V_{bp} \leq V_{dsp} < V_{ap}$ ならば第2のPMOS駆動トランジスタ11aがオンし、 $V_{cp} \leq V_{dsp} < V_{bp}$ ならば第2及び第3のPMOS駆動トランジスタ11a, 11bがオンし、 $V_{dsp} < V_{cp}$ ならば第2、第3及び第4のPMOS駆動トランジスタ11a, 11b, 11cがオンするように、ドライバ10aの中の活性化トランジスタの数がバイアス電圧 V_m に応じて決定される。

【0026】次に、第4～第6のコンパレータ114～116のはたらきを説明する。第4のコンパレータ114は、第2の可変電圧 V_w が条件 $V_w < V_{ss} + \gamma_{an}$ を満たすときにはHレベルの活性化論理信号 N_{an} を、そうでないときにはLレベルの信号 N_{an} を第2のNMOS駆動トランジスタ14aのゲート電極へ供給するものである。第5のコンパレータ115は、 V_w が条件 $V_w < V_{ss} + \gamma_{bn}$ を満たすときにはHレベルの活性化論理信号 N_{bn} を、そうでないときにはLレベルの信号 N_{bn} を第3のNMOS駆動トランジスタ14bのゲート電極へ供給するものである。第6のコンパレータ116は、 V_w が条件 $V_w < V_{ss} + \gamma_{cn}$ を満たすときにはHレベルの活性化論理信号 N_{cn} を、そうでないときにはLレベルの信号 N_{cn} を第4のNMOS駆動トランジスタ14cのゲート電極へ供給するものである。ここに、抵抗 R_4 , R_5 , R_6 に定電流を流すことにより生じる電圧ドロップを γ_{an} , γ_{bn} , γ_{cn} とすると、これらの電圧ドロップを利用して電圧 $V_{ss} + \gamma_{an}$, $V_{ss} + \gamma_{bn}$, $V_{ss} + \gamma_{cn}$ を生成することができる。第1及び第2のNMOSスイッチングトランジスタ15, 16のオン電圧を V_{swn} とし、ある設定電圧を V_{an} , V_{bn} , V_{cn} （ $V_{an} > V_{bn} > V_{cn}$ ）とすると、 $\gamma_{an} = V_{swn} + V_{an}$, $\gamma_{bn} = V_{swn} + V_{bn}$, $\gamma_{cn} = V_{swn} + V_{cn}$ が満たされるように、抵抗 R_4 , R_5 , R_6 の各々の

値が設定される。図10中の電圧 V_{dsn} は $V_w - V_{sw} - V_{ss}$ に等しいから、 $V_{dsn} \geq V_{an}$ ならば第2～第4のNMOS駆動トランジスタ14a, 14b, 14cのいずれもがオフし、 $V_{bn} \leq V_{dsn} < V_{an}$ ならば第2のNMOS駆動トランジスタ14aがオンし、 $V_{cn} \leq V_{dsn} < V_{bn}$ ならば第2及び第3のNMOS駆動トランジスタ14a, 14bがオンし、 $V_{dsn} < V_{cn}$ ならば第2、第3及び第4のNMOS駆動トランジスタ14a, 14b, 14cがオンするように、ドライバ10aの中の活性化トランジスタの数がバイアス電圧 V_m に応じて決定される。

【0027】図13は、図10中のPMOSドライバ17の電圧電流特性を示している。この例によれば、 $V_{dp} \geq V_{ap}$ ならば、従来と同様に第1のPMOS駆動トランジスタ11がPMOSドライバ17の出力電流 I_{dp} の全てを負担する。ただし、 $V_{dsp} < V_{ap}$ ならば、 V_{dsp} が小さくなるにつれてPMOSドライバ17の中の活性化トランジスタの数が増加する。したがって、図中に実線で示すように、PMOSドライバ17の出力電流 I_{dp} はほぼ一定値を維持することができる。

【0028】図14は、図10中のNMOSドライバ18の電圧電流特性を示している。この例によれば、 $V_{dsn} \geq V_{an}$ ならば、従来と同様に第1のNMOS駆動トランジスタ14がNMOSドライバ18の出力電流 I_{dn} の全てを負担する。ただし、 $V_{dsn} < V_{an}$ ならば、 V_{dsn} が小さくなるにつれてNMOSドライバ18の中の活性化トランジスタの数が増加する。したがって、NMOSドライバ18の出力電流 I_{dn} はほぼ一定値を維持することができる。

【0029】なお、PMOSドライバ17及びNMOSドライバ18の各々を構成する駆動トランジスタの数は任意である。各駆動トランジスタのゲート幅は、適宜設定すればよい。また、各駆動トランジスタを活性化させるためのゲート電圧の大きさを各々異ならせるようにしてもよい。

【0030】図15は、本発明に係る定電流出力回路の更に他の構成例を示している。図15中のドライバ10aと、活性化トランジスタ数制御回路25aと、ゲート電圧制御回路30cと、ステートマシン26とが、ケーブル20に定電流を出力するための定電流出力回路を構成している。ドライバ10aは、図10において説明した内部構成を有するドライバである。ステートマシン26は、バイアス電圧 V_m の変動予測を示すシステム情報を活性化トランジスタ数制御回路25a及びゲート電圧制御回路30cへ与えるものである。このシステム情報は、ケーブル20のバイアス電圧 V_m の実変動検知結果から作成されたり、あるいはバイアス電圧 V_m の検知によらない後述の情報から作成されたりする。活性化トランジスタ数制御回路25aは、ドライバ10aの中の活性化される駆動トランジスタの数をデジタル制御するよ

うに、ステートマシン26から与えられたシステム情報に応じた活性化論理信号 N_{ap} , N_{bp} , N_{cp} , N_{an} , N_{bn} 及び N_{cn} をドライバ10aへ供給するための回路である。ゲート電圧制御回路30cは、例えば図1中のゲート電圧制御回路30や図5に示したゲート電圧制御回路30aを機能拡張したものであって、ドライバ10aの中の特定の駆動トランジスタのゲート電圧 V_{gp} 及び V_{gn} を、ケーブル20のバイアス電圧 V_m に応じて、あるいはステートマシン26から与えられたシステム情報に応じてアナログ制御するための回路である。

【0031】図16は、図15の定電流出力回路を利用したデータ伝送システムの構成例を示している。図16のシステムでは、第1の機器200のドライバD1から第2の機器201のレシーバRへ第1のツイストペアケーブル203を介してデータ伝送がなされ、第1の機器200のドライバD2から第3の機器202のレシーバRへ第2のツイストペアケーブル204を介してデータ伝送がなされ得る。例えばドライバD1が、図15の構成を備えている。本システムでは、ケーブルバイアス電圧 V_m を変更することにより、データ伝送レートを設定するためのスピードシグナリング情報や、本システムをスリープ状態へ移行させるための電力管理情報を伝達できるようになっている。バイアス電圧 V_m の変動予測を示す上記システム情報(図15)は、スピードシグナリング情報や電力管理情報の伝達時等におけるバイアス電圧 V_m の実変動検知結果から作成されたり、あるいはバイアス電圧 V_m の検知によらないタイマ(TIM)、電源電圧変動(V_{dd})、温度変動(T)等の情報から作成されたりする。

【0032】図17は、図16のシステムにおけるケーブルバイアス電圧 V_m の変動の様子を示している。また、図17は、当該システムの3つのモードを示している。「モード1」は、ケーブルの接続及び引き外しや、機器電源のオン及びオフが生じるモードである。本システムは、ツイストペアケーブルの活線挿抜をサポートしている。「モード2」は、バイアス電圧 V_m の変動が生じるモードである。例えば、モード1における人為操作に起因してバイアス電圧 V_m が大きく変動することもある。スピードシグナリング情報や電力管理情報の伝達のためにバイアス電圧 V_m が意図的に大きく変動させられることもある。また、機器の電源電圧変動や温度変動に起因してバイアス電圧 V_m が変動することもある。「モード3」は、有効なデータ伝送が行われるモードである。

【0033】図18は、図15中のステートマシン26の状態遷移を示している。ステートマシン26は、上記モード1, 2, 3の間の遷移を検知する。ケーブル接続時や機器電源のオン時には、バイアス電圧 V_m が急変する。この際、ステートマシン26は、バイアス電圧 V_m がわずかに上昇した時点でモード1(初期状態)からモ

ード2（過渡状態）への遷移を検知して、当該バイアス電圧 V_m の変動予測を示すシステム情報を作成する。このシステム情報にตอบสนองして、活性化トランジスタ数制御回路25aとゲート電圧制御回路30cとがドライバ10aの電流駆動能力を調整する。ただし、ゲート電圧 V_{gp} 及び V_{gn} のフィードバック制御が追従できないほど急激にバイアス電圧 V_m が変動する場合には、不安定動作の防止のためにゲート電圧制御回路30cの動作をフリーズさせて、活性化トランジスタ数制御回路25aのみを動作させるようにしてもよい。また、ゲート電圧制御回路30cに、システム情報に応じてゲート電圧 V_{gp} 及び V_{gn} を変えさせるようにしてもよい。そして、バイアス電圧 V_m が正規の値になったところでデータ伝送を開始する。この際、ステートマシン26は、モード2（過渡状態）からモード3（伝送状態）への遷移を検知する。モード3では、バイアス電圧 V_m の微小変化を補償するように、主としてゲート電圧制御回路30cがドライバ10aの電流駆動能力を調整する。ステートマシン26がタイマ情報に応じてゲート電圧制御回路30cを間欠動作させるようにしてもよい。スピードシグナリング情報の伝達時には、バイアス電圧 V_m が大きく変動する。この際、ステートマシン26は、バイアス電圧 V_m の実変動検知結果に基づいてモード3（伝送状態）からモード2（過渡状態）への遷移を検知して、バイアス電圧 V_m の変動予測を示すシステム情報を作成する。また、電力管理情報の伝達時にバイアス電圧 V_m が大きく変動すると、ステートマシン26は、バイアス電圧 V_m の実変動検知結果に基づいてモード3（伝送状態）からモード2（スリープ状態）への遷移を検知して、バイアス電圧 V_m の変動予測を示すシステム情報を作成する。更に、モード3において電源電圧変動や温度変動があった場合にも、ステートマシン26はバイアス電圧 V_m の変動予測を示すシステム情報を作成する。活性化トランジスタ数制御回路25aとゲート電圧制御回路30cとは、これらのシステム情報にตอบสนองしてドライバ10aの電流駆動能力を調整する。ケーブル引き外し時や機器電源のオフ時にも、バイアス電圧 V_m の変動予測を示すシステム情報にตอบสนองしてドライバ10aの電流駆動能力の調整がなされる。

【0034】なお、これまで差動データ伝送のための定電流出力回路の例を説明してきたが、本発明はデータのシングルエンド伝送のための定電流出力回路にも適用可能である。

【0035】

【発明の効果】以上説明してきたとおり、本発明によれば、終端抵抗を介してバイアス電圧に結合されたケーブルに定電流を出力するための定電流出力回路において、ケーブルに電流を出力するための少なくとも1個の駆動トランジスタを設け、ケーブルのバイアス電圧の変動に起因して駆動トランジスタのドレイン・ソース間電圧が

変化したとき、該電圧の変化に伴う駆動トランジスタの出力電流の変化が補償されるように当該駆動トランジスタの電流駆動能力を調整することとしたので、ケーブルのバイアス電圧の変動にかかわらず一定の電流駆動能力を維持することができる定電流出力回路を提供することができる。

【図面の簡単な説明】

【図1】本発明に係る定電流出力回路の構成例を示すブロック図である。

【図2】図1中の定電流源の構成例を示すブロック図である。

【図3】図1中のPMOS駆動トランジスタの動作点の移動の様子を示す図である。

【図4】図1中のNMOS駆動トランジスタの動作点の移動の様子を示す図である。

【図5】図1中のゲート電圧制御回路の変形例を示す回路図である。

【図6】図5中の可変電圧生成回路の内部構成を示す回路図である。

【図7】図6の変形例を示す回路図である。

【図8】図6の他の変形例を示す回路図である。

【図9】本発明に係る定電流出力回路の他の構成例を示すブロック図である。

【図10】図9中のドライバの内部構成を示す回路図である。

【図11】図9中のゲート電圧制御回路の内部構成を示す回路図である。

【図12】図9中の活性化トランジスタ数制御回路の内部構成を示す回路図である。

【図13】図10中のPMOSドライバの電圧電流特性を示す図である。

【図14】図10中のNMOSドライバの電圧電流特性を示す図である。

【図15】本発明に係る定電流出力回路の更に他の構成例を示すブロック図である。

【図16】図15の定電流出力回路を利用したデータ伝送システムの構成例を示すブロック図である。

【図17】図16のシステムにおけるケーブルバイアス電圧の変動の様子を示すタイムチャート図である。

【図18】図15中のステートマシンの状態遷移図である。

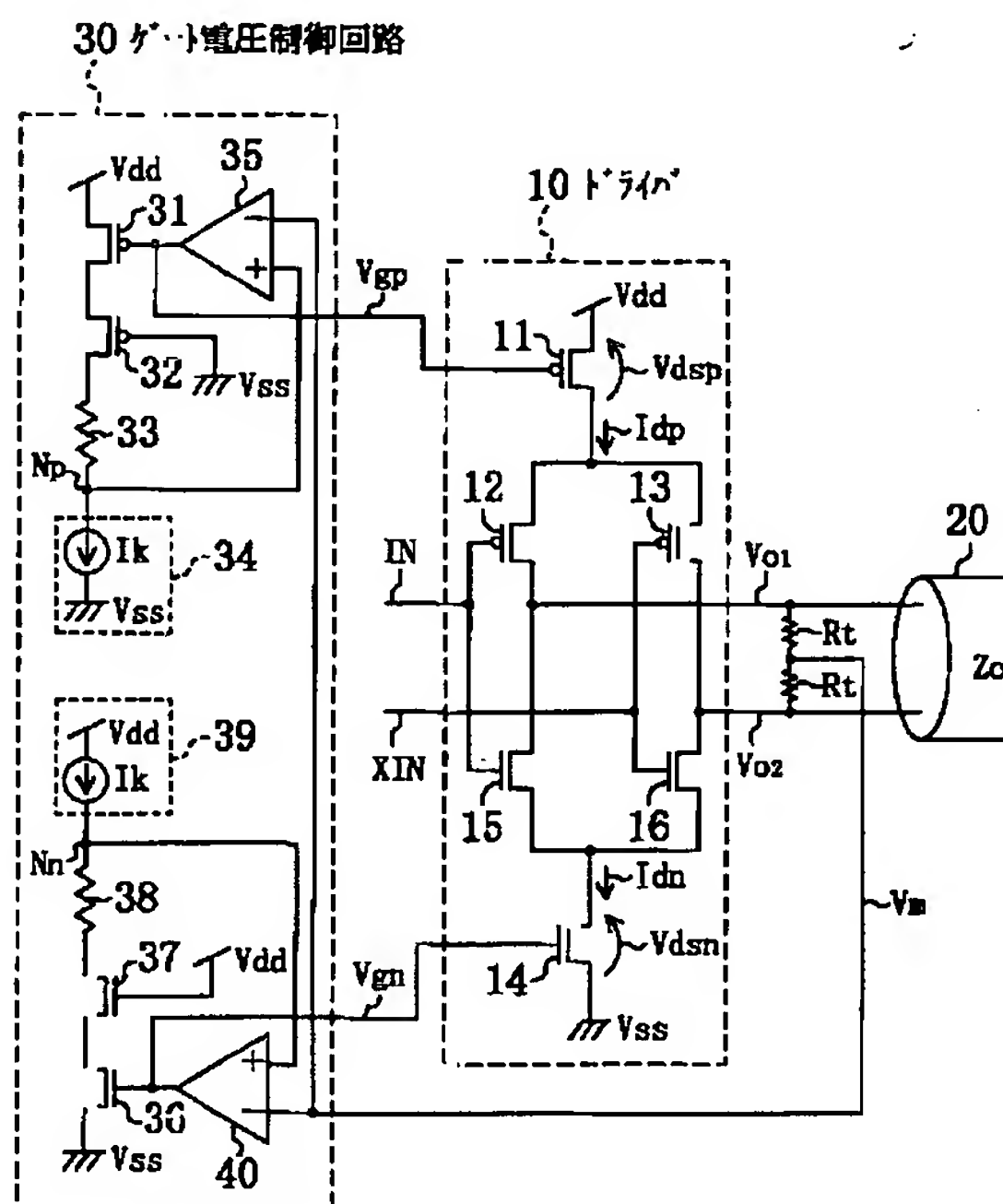
【符号の説明】

- 10, 10a ドライバ
- 11, 11a, 11b, 11c PMOS駆動トランジスタ
- 12, 13 PMOSスイッチングトランジスタ
- 14, 14a, 14b, 14c NMOS駆動トランジスタ
- 15, 16 NMOSスイッチングトランジスタ
- 17 PMOSドライバ

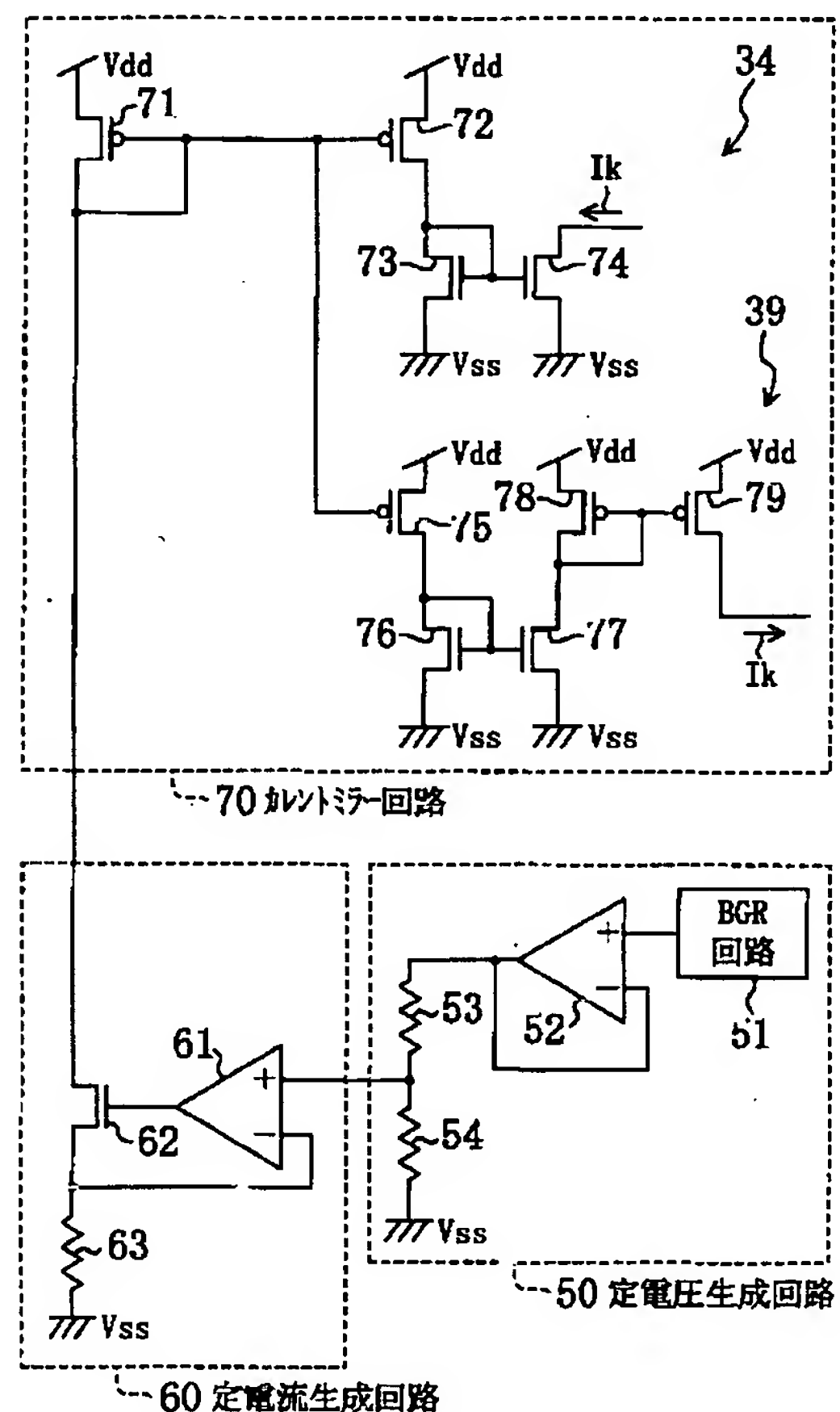
18 NMOSドライバ
 20 ツイストペアケーブル
 25, 25a 活性化トランジスタ数制御回路
 26 ステートマシン
 30, 30a, 30b, 30c ゲート電圧制御回路
 31, 36 駆動トランジスタのレプリカ
 32, 37 スイッチングトランジスタのレプリカ
 33, 38 終端抵抗のレプリカ
 34, 39 定電流源
 35, 40 演算増幅器
 50 定電圧生成回路
 60 定電流生成回路
 70 カレントミラー回路
 80, 80a, 80b 可変電圧生成回路
 93, 97 演算増幅器
 94, 95, 98, 103, 104 終端抵抗のレプリカ
 111~116 コンパレータ

200, 201, 202 機器
 203, 204 ツイストペアケーブル
 I_{dp} PMOS駆動トランジスタのドレイン電流
 I_{dn} NMOS駆動トランジスタのドレイン電流
 I_k 定電流
 N_p, N_n 参照ノード
 R_t 終端抵抗
 V_{dd}, V_{ss} 電源
 V_{dsp} PMOS駆動トランジスタのドレイン・ソース間電圧
 V_{dsn} NMOS駆動トランジスタのドレイン・ソース間電圧
 V_{gp} PMOS駆動トランジスタのゲート電圧
 V_{gn} NMOS駆動トランジスタのゲート電圧
 V_j, V_w 可変電圧
 V_m ケーブルのバイアス電圧
 V_{o1}, V_{o2} ドライバの出力ノードの電圧

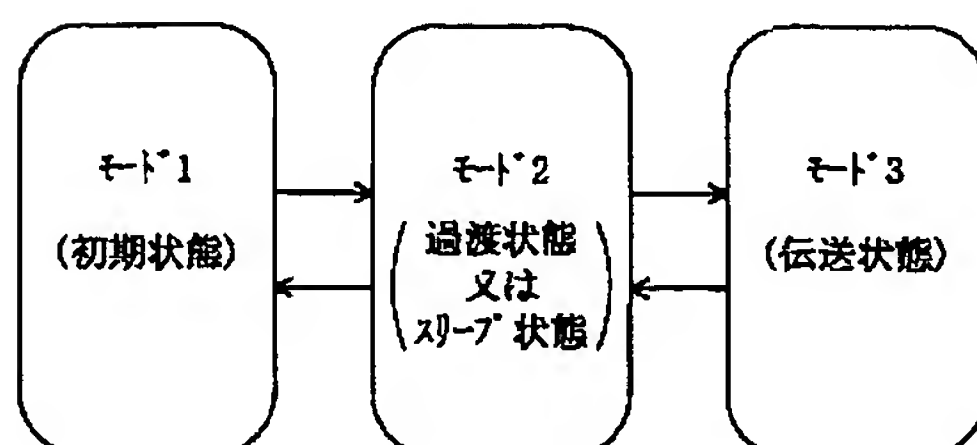
【図1】



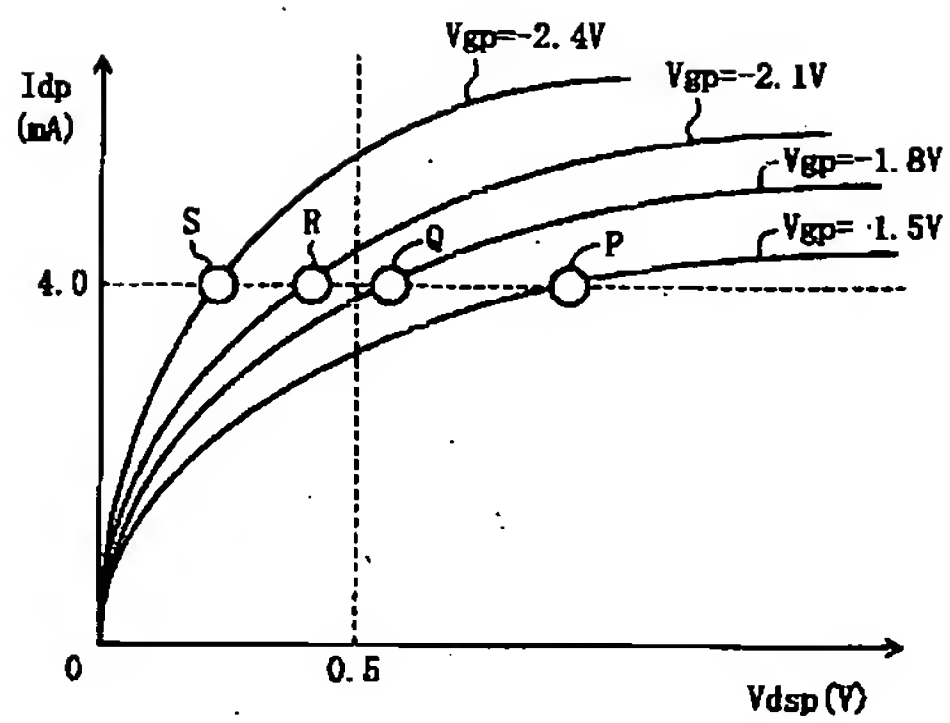
【図2】



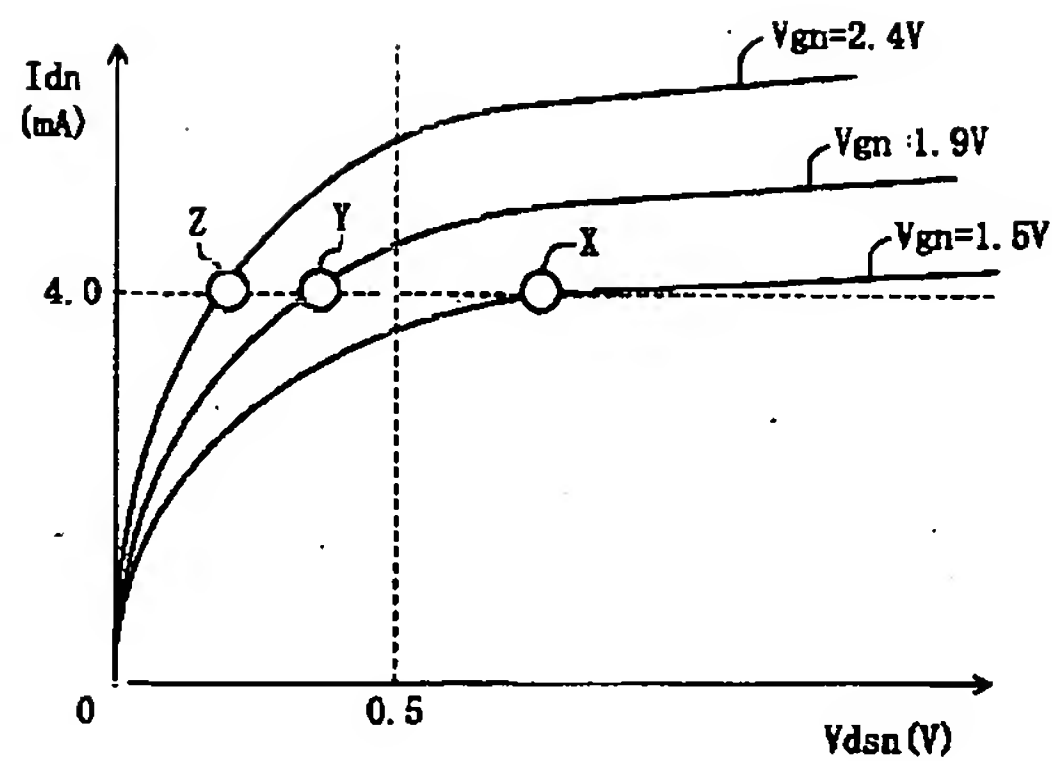
【図18】



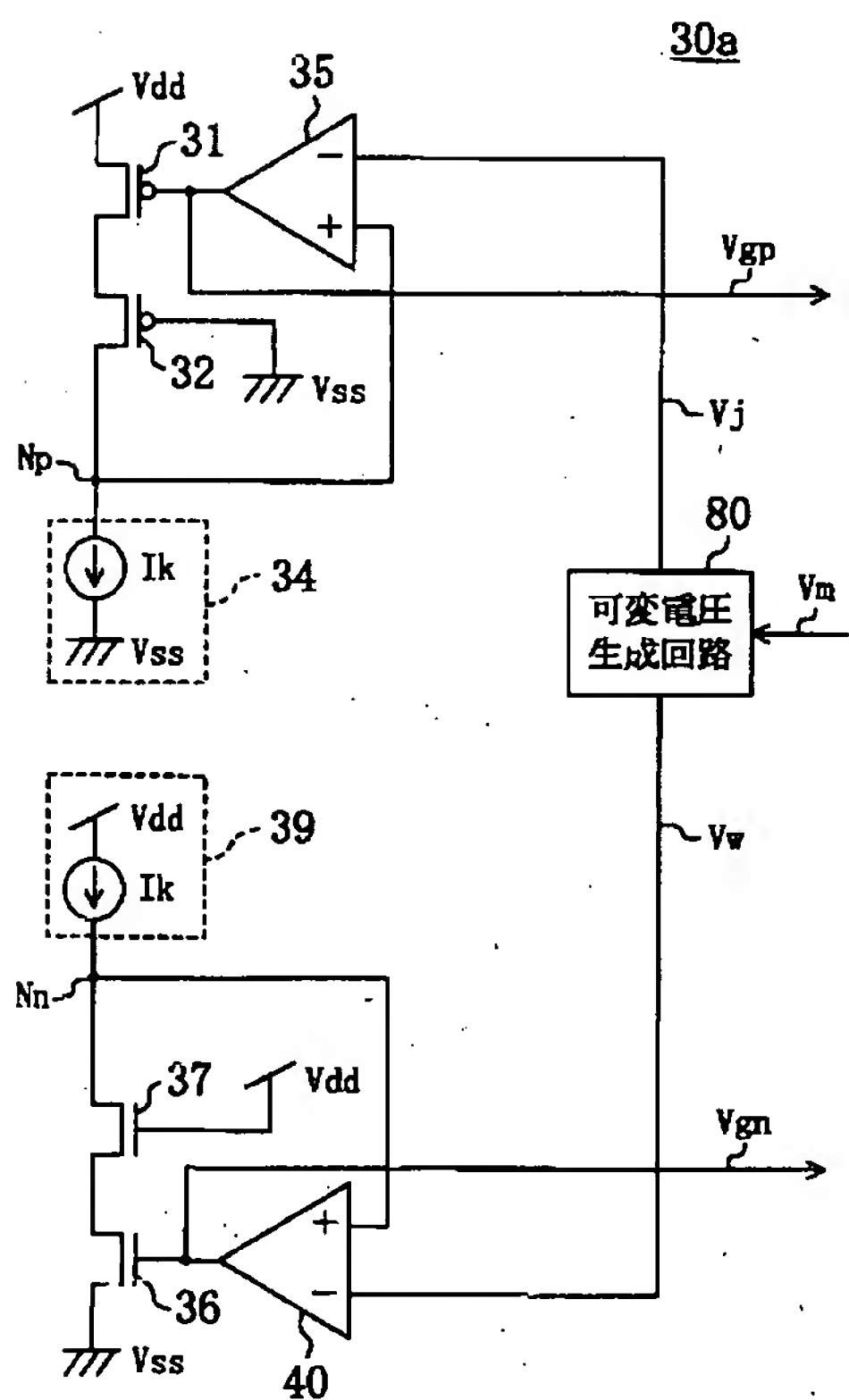
【図3】



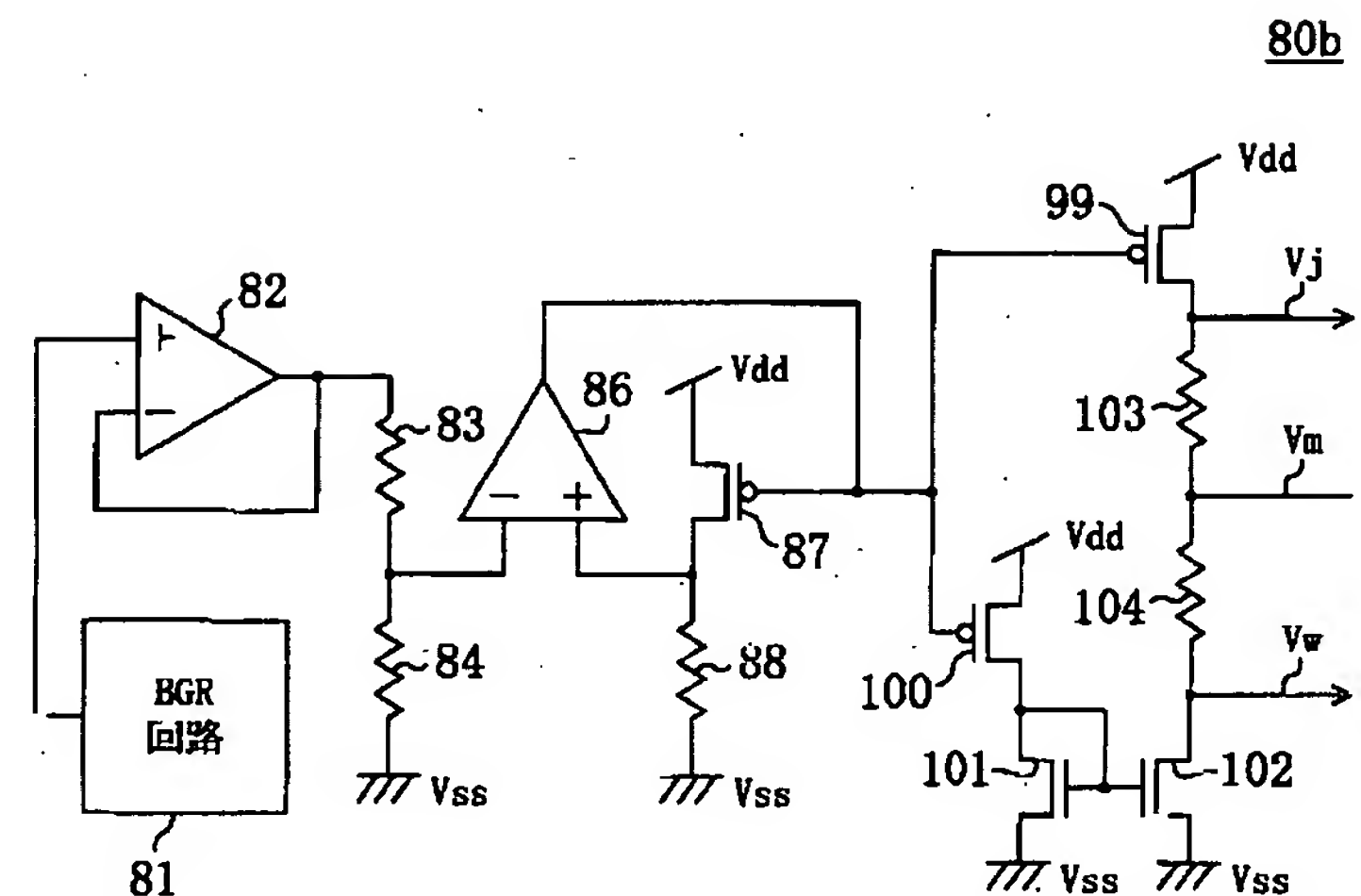
【図4】



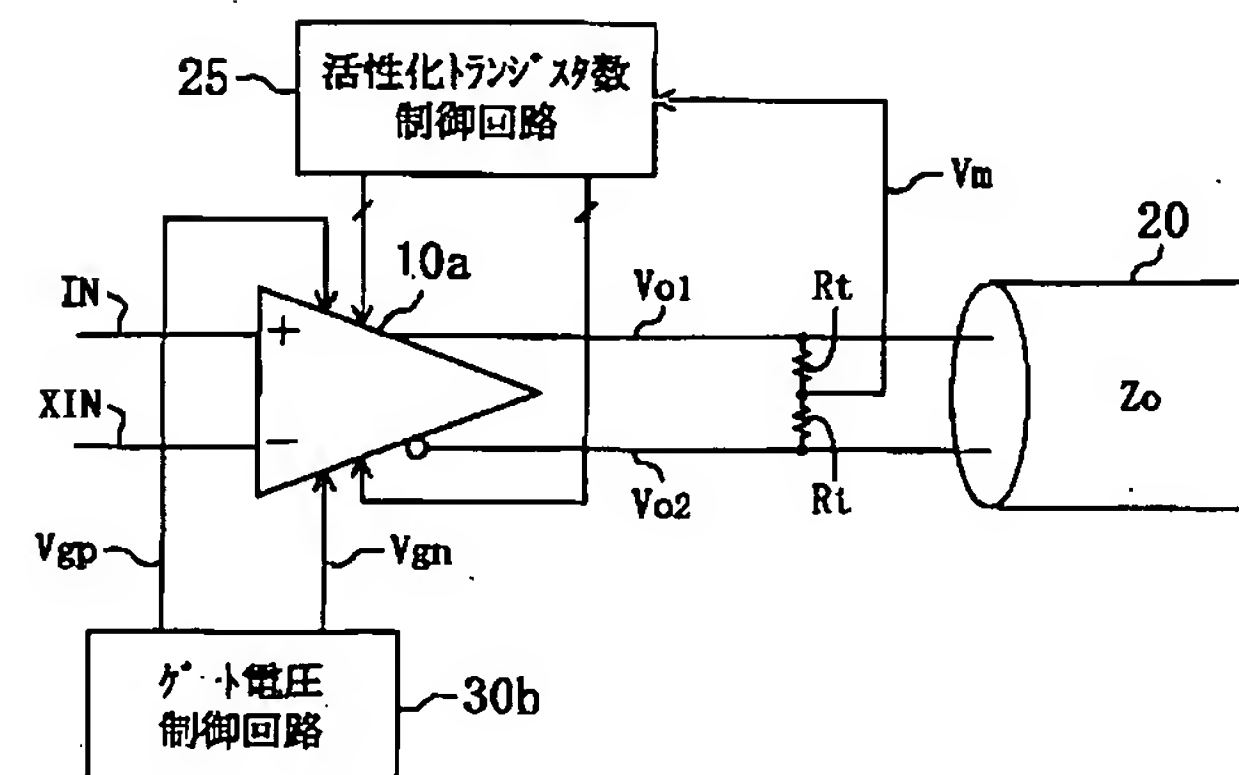
【図5】



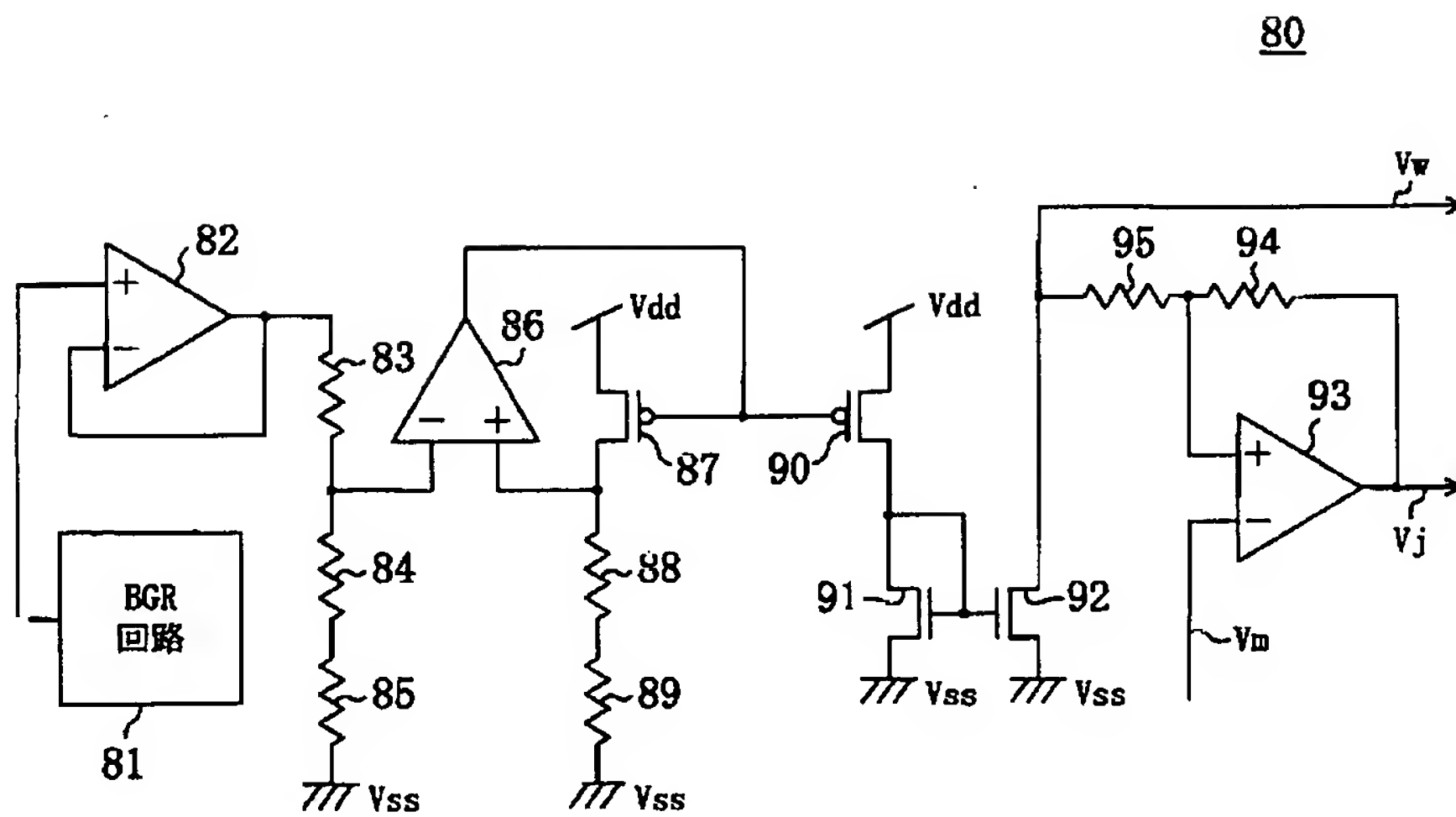
【图8】



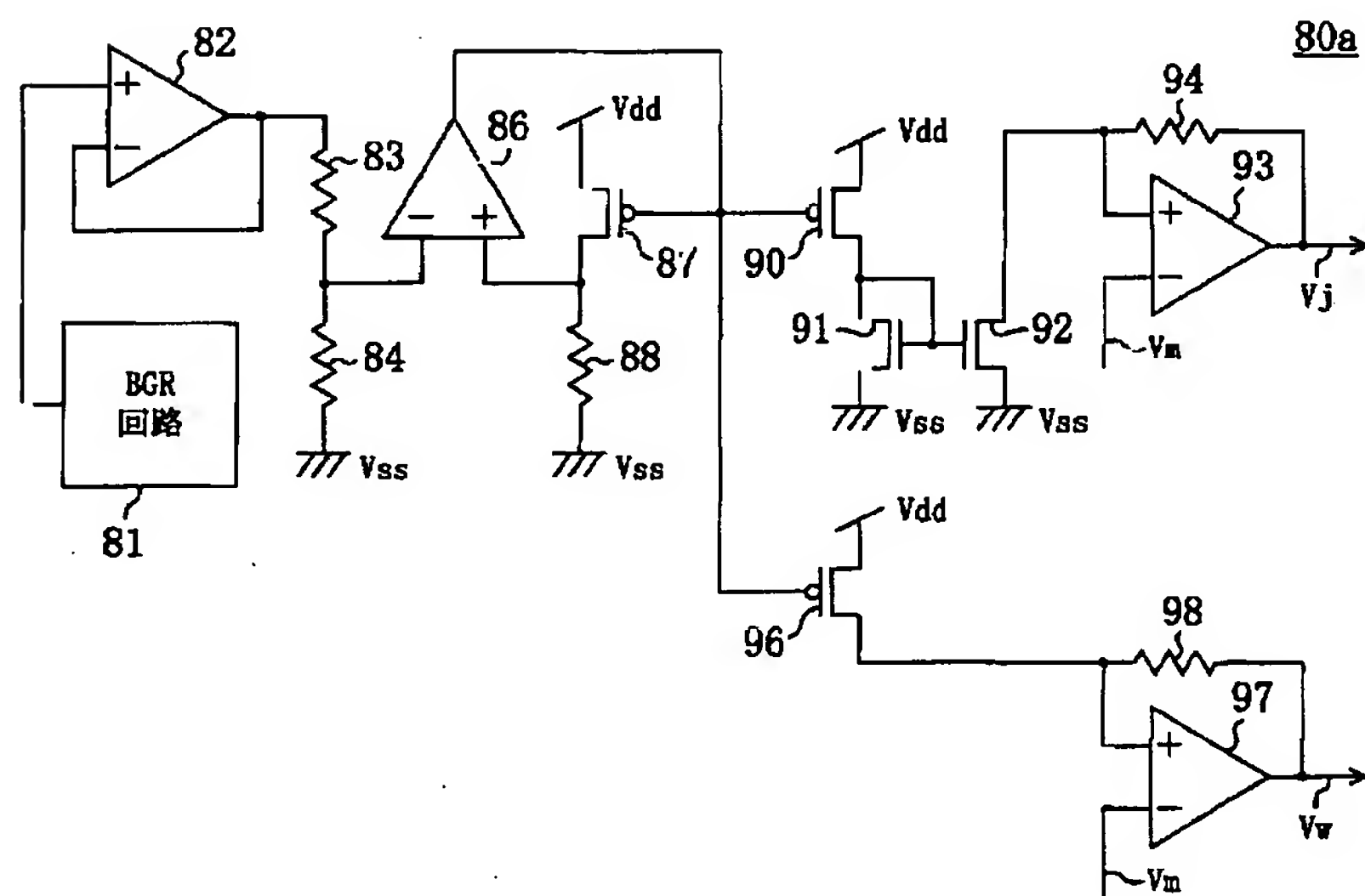
【図9】



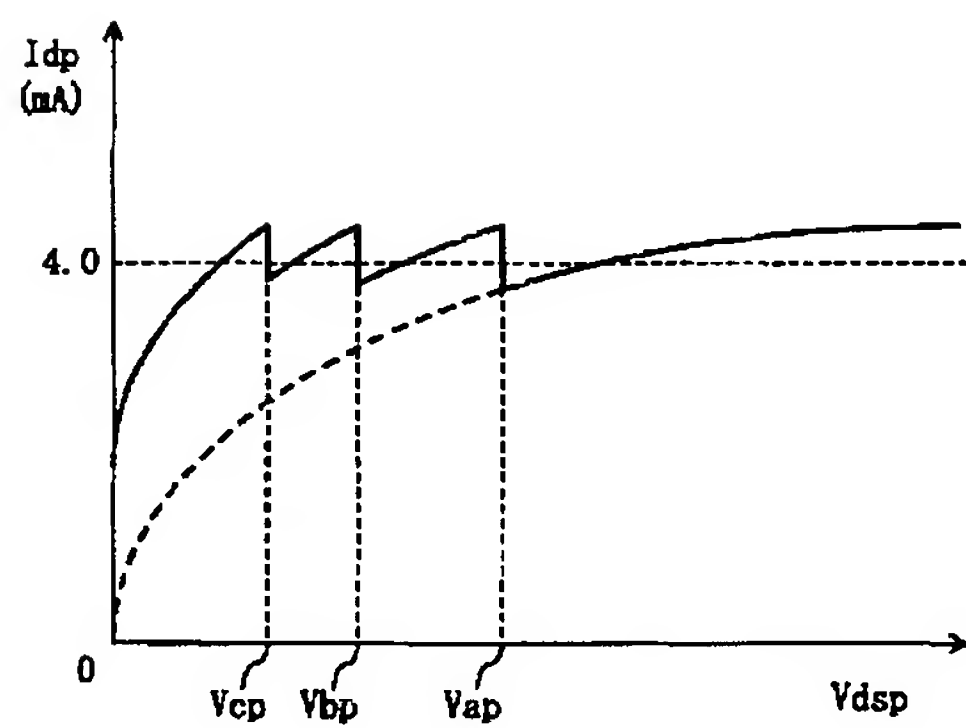
【図6】



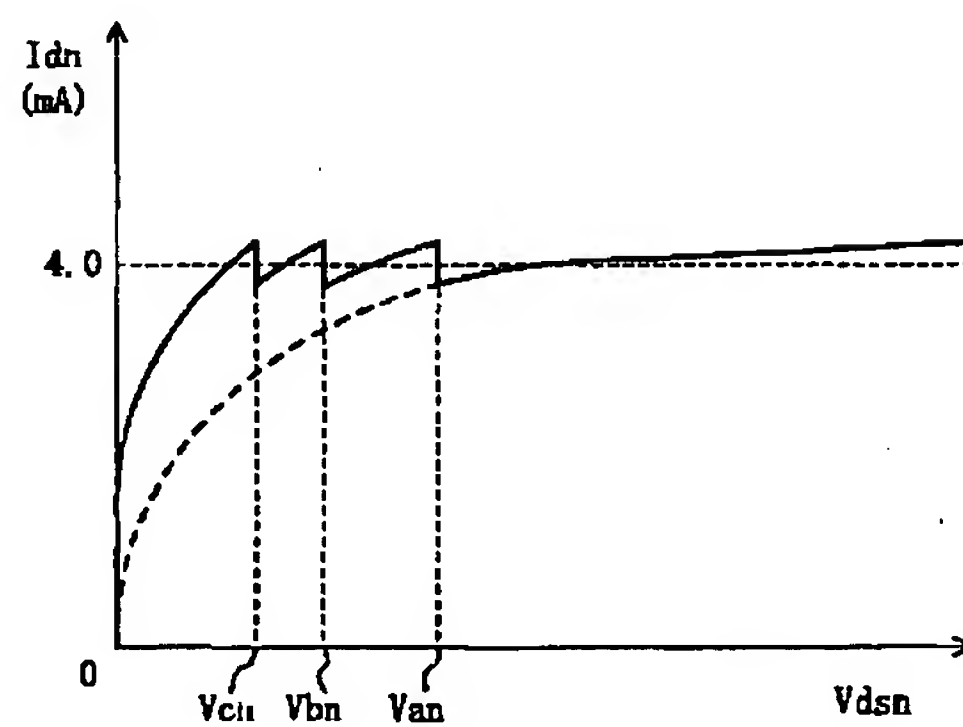
【図7】



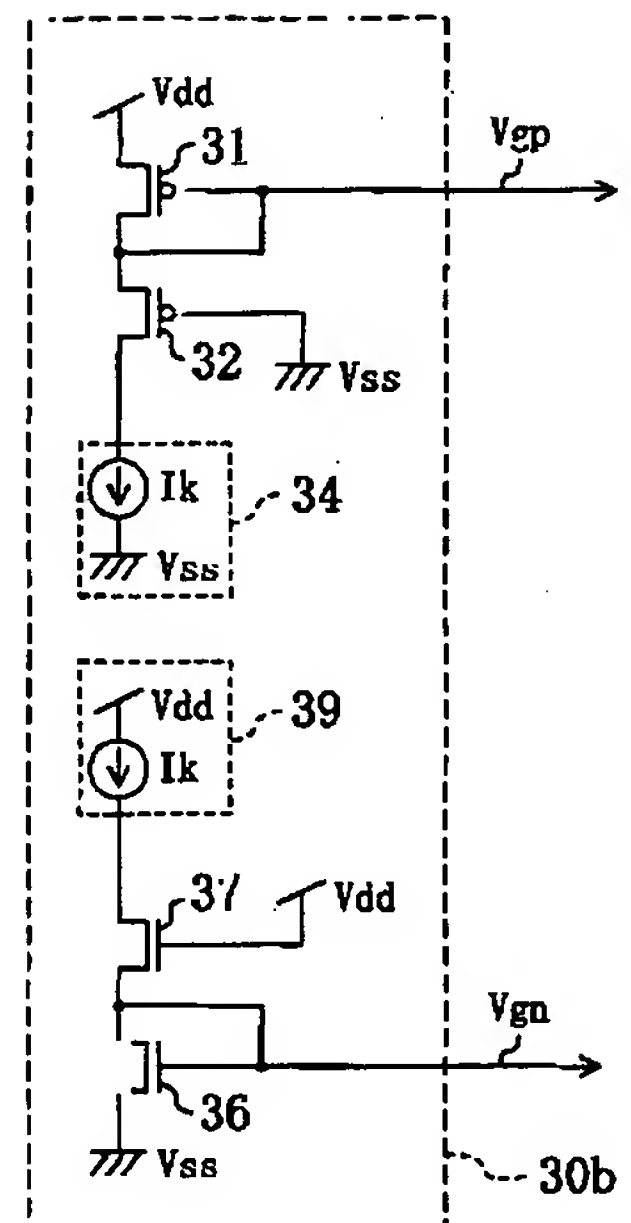
【例 13】



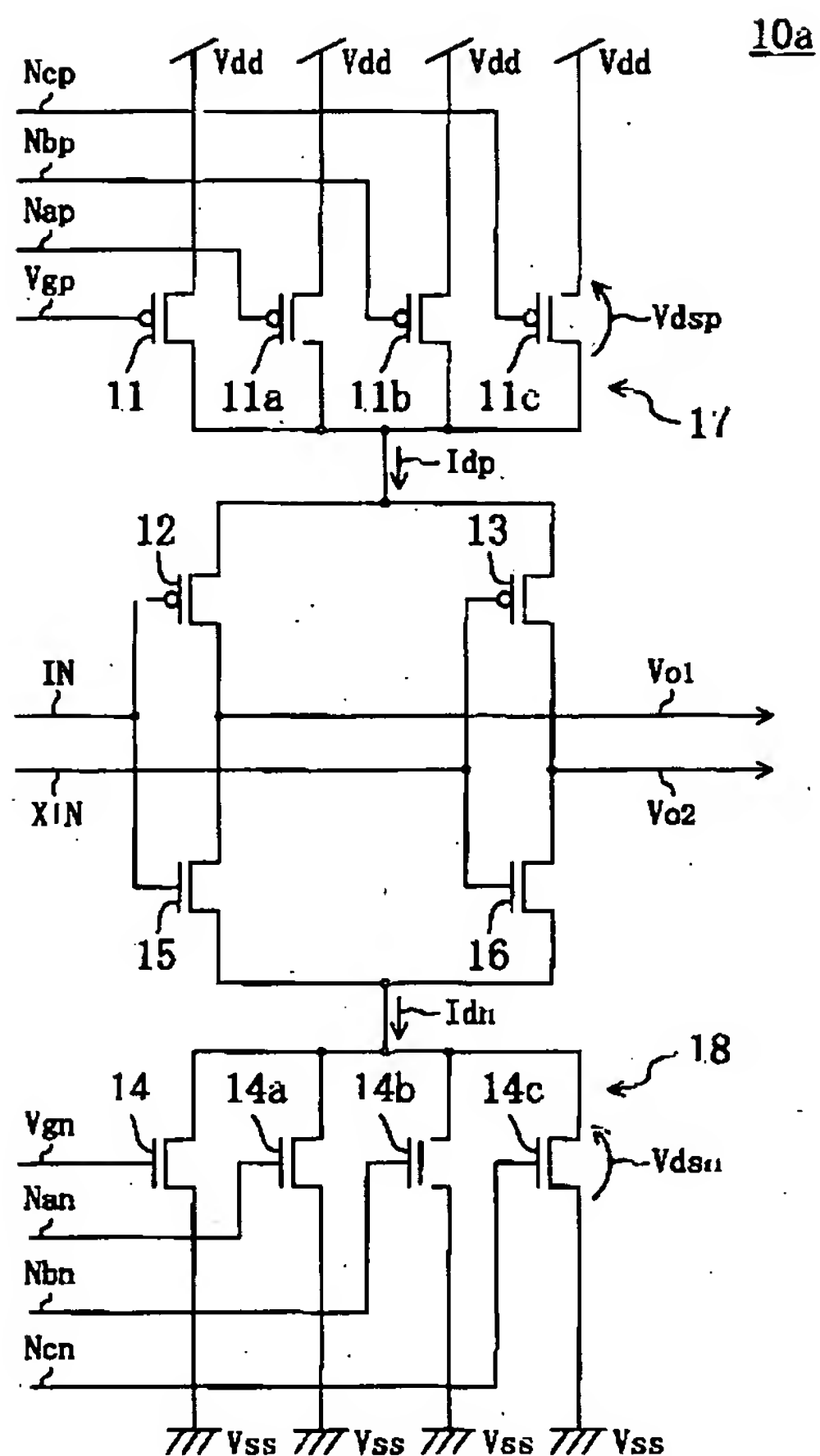
【図14】



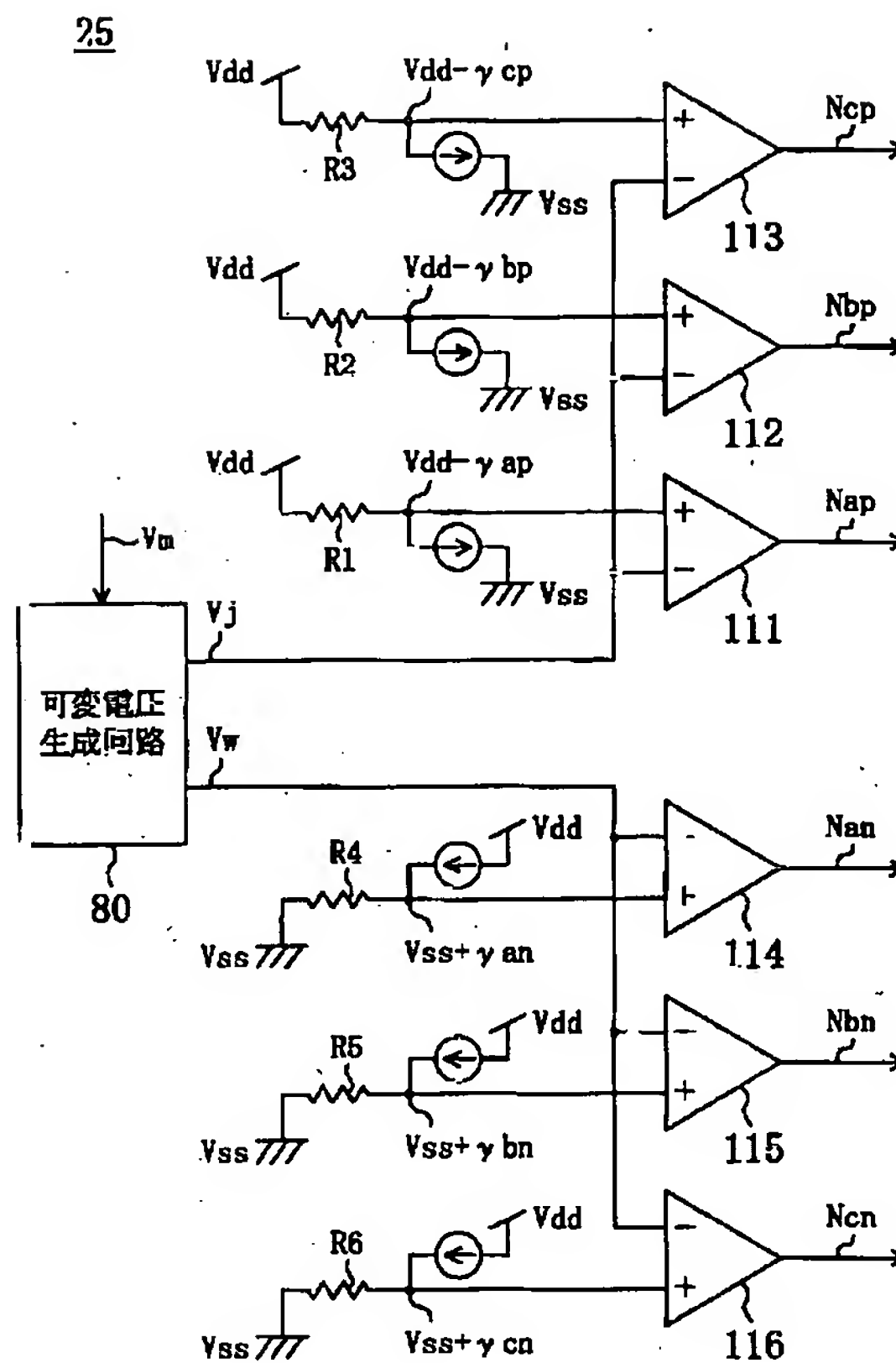
【 1 1】



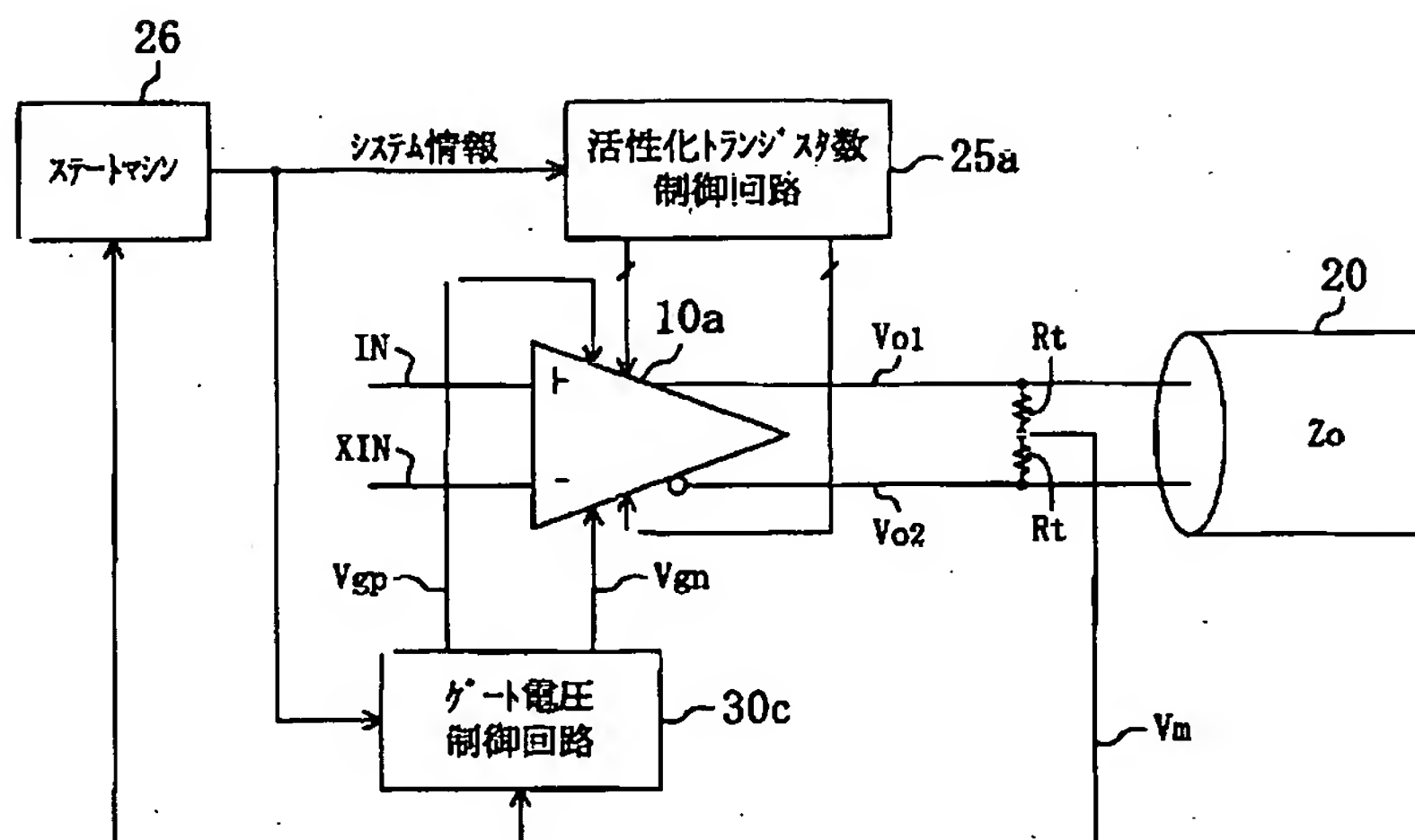
【図10】



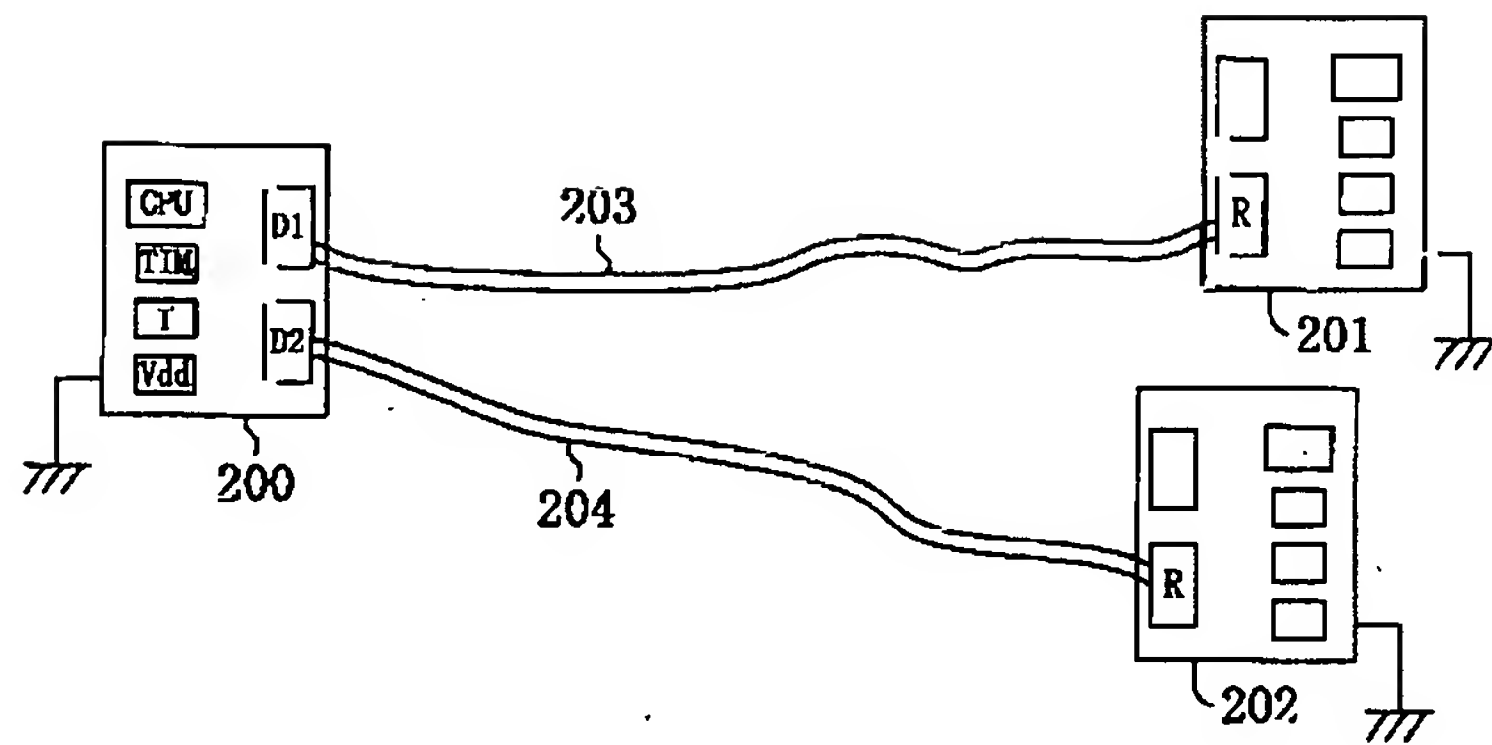
【図12】



【図15】



【図16】



【図17】

